

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toru TANZAWA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: DIRECT FREQUENCY MODULATION APPARATUS WHICH MODULATES FREQUENCY BY
APPLYING DATA-DEPENDENT VOLTAGE TO CONTROL TERMINAL OF VOLTAGE-
CONTROLLED OSCILLATOR WITHOUT MEDIACY OF PLL, AND COMMUNICATION SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
Japan

APPLICATION NUMBER
2003-317261

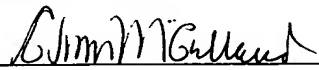
MONTH/DAY/YEAR
September 9, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 9 日
Date of Application:

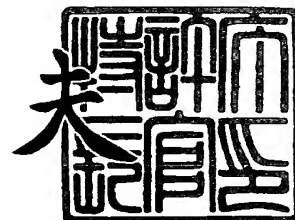
出 願 番 号 特 願 2 0 0 3 - 3 1 7 2 6 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 1 7 2 6 1]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000301487
【提出日】 平成15年 9月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 H04L 27/152
H03K 7/06
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
レクトロニクスセンター内
【氏名】 丹沢 徹
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 制御端子に印加される第 1 電圧によって容量値が変化する第 1 電圧可変容量手段と、第 2 制御端子に印加される第 2 電圧によって容量値が変化する第 2 電圧可変容量手段とを備え、前記第 1、第 2 制御端子に与えられた第 1、第 2 電圧に対応する周波数で発振する電圧制御発振器と、

前記第 1 制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第 1 制御端子に印加する第 1 電圧を保持するフェイズ・ロックト・ループと、

前記第 2 制御端子に接続され、前記フェイズ・ロックト・ループのロック期間中に前記第 2 制御端子に第 2 電圧を印加し、前記フェイズ・ロックト・ループのロック期間後に、入力データに応じて前記第 2 制御端子へ印加する前記第 2 電圧を第 3 電圧だけ変化させた変調用の電圧を発生する電圧発生手段とを具備し、

前記第 2 電圧の温度依存性は、前記第 2 電圧可変容量手段における容量値を与える素子の 2 端子間の電位差の温度依存性より大きい

ことを特徴とする周波数直接変調装置。

【請求項 2】

前記第 3 電圧は、前記第 2 電圧に比例することを特徴とする請求項 1 に記載の周波数直接変調装置。

【請求項 3】

前記電圧発生手段は、温度依存性が正の前記第 2 電圧を発生する基準電圧発生回路と、前記基準電圧発生回路から出力された前記第 2 電圧を入力データに応じて前記第 3 電圧だけ増加または減少させて出力する D/A コンバータと、前記 D/A コンバータから出力される電圧が供給され、前記変調用の電圧を出力するフィルタとを有するロウパスフィルタを備えることを特徴とする請求項 1 または 2 に記載の周波数直接変調装置。

【請求項 4】

第 1 制御端子に印加される第 1 電圧によって容量値が変化する第 1 電圧可変容量手段と、第 2 制御端子に印加される第 2 電圧によって容量値が変化する第 2 電圧可変容量手段とを備え、前記第 1、第 2 制御端子に与えられた第 1、第 2 電圧に対応する周波数で発振する電圧制御発振器と、

前記第 1 制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第 1 制御端子に印加する第 1 電圧を保持するフェイズ・ロックト・ループと、

前記第 2 制御端子に接続され、前記フェイズ・ロックト・ループのロック期間中に前記第 2 制御端子に第 2 電圧を印加し、前記フェイズ・ロックト・ループのロック期間後に、入力データに応じて前記第 2 制御端子へ印加する前記第 2 電圧を第 3 電圧だけ変化させた変調用の電圧を発生する電圧発生手段とを具備し、

前記第 2 電圧は、温度依存性が前記第 2 電圧可変容量手段における容量値を与える素子の 2 端子間の電位差の温度依存性より小さい第 4 電圧と、前記素子の 2 端子間の電位差に比例した第 5 電圧との差で与えられる

ことを特徴とする周波数直接変調装置。

【請求項 5】

前記第 3 電圧は、前記第 2 電圧に比例することを特徴とする請求項 4 に記載の周波数直接変調装置。

【請求項 6】

前記電圧発生手段は、バンドギャップリファレンス回路と、前記バンドギャップリファレンス回路から出力された基準電圧に正の温度依存性を与えて前記第 2 電圧を生成する温度補償電圧生成回路と、前記温度補償電圧生成回路から出力された前記第 2 電圧を入力データに応じて前記第 3 電圧だけ増加または減少させて出力する D/A コンバータと、前記 D/A コンバータから出力される電圧が供給され、前記変調用の電圧を出力するフィルタ

とを有するロウパスフィルタを備えることを特徴とする請求項 4 または 5 に記載の周波数直接変調装置。

【請求項 7】

第 1 制御端子に印加される第 1 電圧によって容量値が変化する第 1 電圧可変容量手段と、第 2 制御端子に印加される第 2 電圧によって容量値が変化する第 2 電圧可変容量手段とを備え、前記第 1、第 2 制御端子に与えられた第 1、第 2 電圧に対応する周波数で発振する電圧制御発振器と、

前記第 1 制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第 1 制御端子に印加する第 1 電圧を保持するフェイズ・ロックト・ループと、

前記第 2 制御端子に接続され、前記フェイズ・ロックト・ループのロック期間中に前記第 2 制御端子に第 2 電圧を印加し、前記フェイズ・ロックト・ループのロック期間後に、入力データに応じて前記第 2 制御端子へ印加する前記第 2 電圧を第 3 電圧だけ変化させた変調用の電圧を発生する電圧発生手段とを具備し、

前記第 2 電圧は、温度依存性が前記第 2 電圧可変容量手段における容量値を与える素子の 2 端子間の電位差の温度依存性より小さい第 4 電圧で与えられる

ことを特徴とする周波数直接変調装置。

【請求項 8】

前記第 3 電圧は、前記第 2 電圧に比例した第 5 電圧と、前記第 2 電圧可変容量手段における容量値を与える素子の 2 端子間の電位差に比例した第 6 電圧との和で与えられることを特徴とする請求項 7 に記載の周波数直接変調装置。

【請求項 9】

前記電圧発生手段は、バンドギャップリファレンス回路と、前記バンドギャップリファレンス回路から出力された基準電圧に正の温度依存性を与えて前記第 2 電圧を生成し、入力データに応じて前記第 3 電圧だけ増加または減少させて出力する波形整形回路とを有するロウパスフィルタを備えることを特徴とする請求項 7 または 8 に記載の周波数直接変調装置。

【請求項 10】

前記第 1 電圧はチャンネル周波数を設定する電圧であり、前記第 2 電圧は温度依存性が正であり、且つ入力データに応じて前記第 3 電圧だけ増加または減少する電圧であることを特徴とする請求項 1 乃至 9 いずれか 1 つの項に記載の周波数直接変調装置。

【請求項 11】

第 1 端子が第 1 制御端子にそれぞれ共通接続される第 1、第 2 電圧可変容量素子と、第 1 端子が第 2 制御端子にそれぞれ共通接続される第 3、第 4 電圧可変容量素子と、一方の電極が前記第 3 電圧可変容量素子の第 2 端子に接続され、他方の電極が前記第 1 電圧可変容量素子の第 2 端子に接続される第 1 キャパシタと、

一方の電極が前記第 4 電圧可変容量素子の第 2 端子に接続され、他方の電極が前記第 2 電圧可変容量素子の第 2 端子に接続される第 2 キャパシタと、

前記第 1、第 2 電圧可変容量素子の前記第 2 端子間に接続されるインダクタとを具備し、

前記第 1、第 2 制御端子に印加される電圧に基づいて発振周波数が変化する電圧制御発振器を備える

ことを特徴とする周波数直接変調装置。

【請求項 12】

前記第 1 キャパシタの一方の電極及び前記第 3 電圧可変容量素子の第 2 端子の電位を制御する第 1 制御回路と、前記第 2 キャパシタの一方の電極及び前記第 4 電圧可変容量素子の第 2 端子の電位を制御する第 2 制御回路と、前記第 1、第 2 制御回路にバイアス電圧を与えるバイアス回路とを更に具備し、

前記第 2 制御回路から前記第 2 キャパシタの一方の電極及び前記第 4 電圧可変容量素子の第 2 端子に与えられる電圧と、前記バイアス回路から出力されるバイアス電圧との差電

圧の温度依存性は、前記第3電圧可変容量素子の第1, 第2端子間の電位差の温度依存性及び前記第4電圧可変容量素子の第1, 第2端子間の電位差の温度依存性にそれぞれ近似していることを特徴とする請求項11に記載の周波数直接変調装置。

【請求項13】

前記第3, 第4電圧可変容量素子は、電圧－電流特性を有し、前記バイアス回路から出力されるバイアス電圧は、前記第3, 第4電圧可変容量素子に所定の電流を流したときに発生する電圧から生成されることを特徴とする請求項12に記載の周波数直接変調装置。

【請求項14】

少なくとも1つのインダクタと、
第1端子が第1制御端子にそれぞれ共通接続される第1, 第2電圧可変容量素子と、
第1端子が第2制御端子にそれぞれ共通接続される第3, 第4電圧可変容量素子と、
一方の電極が前記第1電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第1端子に接続される第1キャパシタと、
一方の電極が前記第2電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第2端子に接続される第2キャパシタと、
一方の電極が前記第3電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第1端子に接続される第3キャパシタと、
一方の電極が前記第4電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第2端子に接続される第4キャパシタとを具備し、
前記第1, 第2制御端子に印加される電圧に基づいて発振周波数が変化する電圧制御発振器を備える

ことを特徴とする周波数直接変調装置。

【請求項15】

前記第1キャパシタの一方の電極及び前記第1電圧可変容量素子の第2端子の電位を制御する第1制御回路と、前記第2キャパシタの一方の電極及び前記第2電圧可変容量素子の第2端子の電位を制御する第2制御回路と、前記第3キャパシタの一方の電極及び前記第3電圧可変容量素子の第2端子の電位を制御する第3制御回路と、前記第4キャパシタの一方の電極及び前記第4電圧可変容量素子の第2端子の電位を制御する第4制御回路とを更に具備することを特徴とする請求項14に記載の周波数直接変調装置。

【請求項16】

前記第1乃至第4制御回路にバイアス電圧を与えるバイアス回路を更に具備し、
前記第3制御回路から前記第3キャパシタの一方の電極及び前記第3電圧可変容量素子の第2端子に与えられる電圧と、前記バイアス回路から出力されるバイアス電圧との差電圧の温度依存性は、前記第3及び第4電圧可変容量素子の第1, 第2端子間の電位差の温度依存性に近似していることを特徴とする請求項15に記載の周波数直接変調装置。

【請求項17】

前記第3, 第4電圧可変容量素子は、電圧－電流特性を有し、前記バイアス回路から出力されるバイアス電圧は、前記第3, 第4電圧可変容量素子に所定の電流を流したときに発生する電圧から生成されることを特徴とする請求項16に記載の周波数直接変調装置。

【請求項18】

前記請求項1乃至10のいずれか1つの項に記載の周波数直接変調装置と、
送信データを前記電圧発生手段に入力データとして供給することにより、前記第2電圧と前記送信データに対応する前記変調用の電圧を発生させ、且つ周波数チャンネルを指示するための信号を前記フェイズ・ロック・ループに供給して周波数チャンネルを指示するベースバンドLSIとを具備する
ことを特徴とする通信システム。

【請求項19】

前記請求項11乃至17のいずれか1つの項に記載の電圧制御発振器と、
前記電圧制御発振器の前記第1制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第1制御端子に印加する第1電圧を保持するフェイ

ズ・ロックト・ループと、

前記電圧制御発振器の前記第 2 制御端子に接続され、前記フェイズ・ロックト・ループのロック期間中に前記第 2 制御端子に第 2 電圧を印加し、前記フェイズ・ロックト・ループのロック期間後に、入力データに応じて前記第 2 制御端子へ印加する前記第 2 電圧を第 3 電圧だけ変化させた変調用の電圧を発生する電圧発生手段と、

送信データを前記電圧発生手段に入力データとして供給することにより、前記第 2 電圧と前記送信データに対応する前記変調用の電圧とを発生させ、周波数チャンネルを指示するための信号を前記フェイズ・ロックト・ループに供給して周波数チャンネルを指示するベースバンド LSI とを具備する

ことを特徴とする通信システム。

【請求項 20】

前記フェイズ・ロックト・ループは、参照クロックと前記電圧制御発振器から出力される発振信号が入力され、前記ベースバンド LSI から出力された周波数チャンネルを指示するための信号により指示された周波数チャンネルに応じて前記参照クロックを分周し、前記分周クロックと前記発振信号の位相が揃うように前記第 1 電圧を調整して前記電圧制御発振器の第 1 制御端子に供給することを特徴とする請求項 18 または 19 に記載の通信システム。

【書類名】明細書

【発明の名称】周波数直接変調装置及び通信システム

【技術分野】

【0001】

この発明は、データに依存した電圧をフェイズ・ロックト・ループを介さずに電圧制御発振器の制御端子に与えて周波数変調を行う周波数直接変調装置、及びこの周波数直接変調装置を備えた通信システムに関する。

【背景技術】

【0002】

通信方式の1つに周波数変調方式が知られている。周波数変調方式では、例えば2つの異なった周波数をデータの“1”と“0”に対応させてデータを送受信する。図36は、従来の周波数直接変調装置の概略構成について説明するためのブロック図であり、電圧制御発振器の制御端子に印加する電圧を、データの“1”または“0”に応じて変えることによって周波数変調を行う通信システム1の一部を抽出して示している。この種の通信システムについては、例えば非特許文献1や非特許文献2に報告されている。

【0003】

上記通信システム1は、ベースバンドLSI (Base Band LSI) 2、ロウパスフィルタ (LPF) 3、電圧制御発振器 (VCO) 4、パワーアンプ (PA) 5及びフェイズ・ロックト・ループ (PLL) 6等を含んで構成されている。

【0004】

上記ベースバンドLSI 2は、システム中の各回路の制御を行うもので、このベースバンドLSI 2から出力される送信データDATAはロウパスフィルタ3に供給され、周波数チャネルを指示するための信号Channel Contは上記フェイズ・ロックト・ループ6に供給される。上記ロウパスフィルタ3及び上記フェイズ・ロックト・ループ6には、信号LPF enが供給されて活性化／非活性化が制御される。

【0005】

また、上記フェイズ・ロックト・ループ6には、参照クロックRef Clkと電圧制御発振器4から出力される発振信号VCO out 1が入力される。上記参照クロックRef Clkは、ベースバンドLSI 2から与えられた信号Channel Contにより指示される周波数チャネルに応じて分周され、この分周クロックと発振信号VCO out 1の位相が揃うように制御電圧 (チャネル周波数を設定する電圧) Vchを調整して電圧制御発振器4の一方の入力端子V1に供給する。この調整期間に、電圧制御発振器4の他方の入力端子V2には、ロウパスフィルタ3から温度や電源電圧に対する依存性の小さい電圧 (Vmod) が供給される。この電圧制御発振器4は、信号VCO enによって活性化／非活性化が制御され、上記ロウパスフィルタ3とともに周波数変調回路として働く。

【0006】

そして、上記電圧制御発振器4の出力端子out 1, out 2から出力される発振信号VCO out 1, VCO out 2がパワーアンプ5に供給されて増幅され、送信信号RF outが出力される。このパワーアンプ5には、信号PA enが供給されて活性化／非活性化が制御されるようになっている。

【0007】

図37は、上記図36に示した通信システム1における各信号の波形を示すタイミングチャートである。時刻t1に、信号Channel Contが遷移して周波数チャネルがch 21からch 9に変化し、信号VCO enが“H”レベルとなって電圧制御発振器4が活性化されると、入力端子V1, V2に供給される電圧Vch, Vmodに対応する周波数finitの発振信号VCO out 1が出力される。この際、信号LPF enの“L”レベルによってロウパスフィルタ3は非活性状態 (データに応じた電圧の出力を停止し、基準電圧Vrefを出力している状態)、フェイズ・ロックト・ループ6は活性状態となっている。そして、フェイズ・ロックト・ループ6によって参照クロックRef Clkが信号Channel Contにより指示された周波数チャネルch 9に対応するように

分周され、この分周クロックと発振信号VCOout1の位相が揃うように制御電圧Vchが設定される(時刻t2)。

【0008】

その後、信号PAenが“H”レベルになると、パワーアンプ5が活性化され、発振信号VCOout1、VCOout2が増幅されて上記周波数finitの送信信号RFoutが出力される(時刻t3)。

【0009】

電圧制御発振器4が安定動作になると、ロウパスフィルタ3の活性化信号LPFenが“H”レベル(時刻t4)になることによってロウパスフィルタ3が活性化(データに応じた電圧の出力可能状態)され、ベースバンドLSI2からのデータDATAがロウパスフィルタ3に転送されるとともに、フェイズ・ロックト・ループ6のフィードバックループが切られ、制御電圧Vchのレベルが保持される。この状態で、ロウパスフィルタ3から上記電圧制御発振器4の入力端子V2に供給する電圧VmodをデータDATAの“1”または“0”に応じて変化(増加または減少)させることにより発振周波数finitが変調される。

【0010】

例えば、データDATAが“1”であるとする、電圧Vmodは基準電圧Vrefのレベルから“1”に対応するレベルに上昇し、電圧制御発振器4から出力される発振信号VCOout1、VCOout2の周波数がf1に変化(上昇)する。パワーアンプ5は、この電圧制御発振器4の出力を増幅して周波数f1の送信信号RFoutを出力する。

【0011】

続いて、データDATAが“0”に反転したとすると(時刻t5)、電圧Vmodは“1”に対応するレベルから“0”に対応するレベルに低下し、電圧制御発振器4から出力される発振信号VCOout1の周波数がf0に変化(低下)する。これによって、パワーアンプ5から周波数f0の送信信号RFoutが出力される。

【0012】

時刻t6以降は、データDATAの“1”または“0”に応じて上述したような動作が繰り返される。

【0013】

そして、時刻t7に信号LPFenが“L”レベルに反転すると、ベースバンドLSI2からのデータDATAの受け付けが停止され、フェイズ・ロックト・ループ6のフィードバックループが動作し、制御電圧Vchのレベルが初期状態に戻る。制御電圧Vmodは基準電圧Vrefに戻り、信号VCOenが“L”レベルとなり、発振信号VCOout1、VCOout2の周波数が初期値finitに戻り、信号PAenが“L”レベルとなって、パワーアンプ5から出力される送信信号RFoutが停止する(時刻t8)。

【0014】

次の時刻t9に、信号ChannelContによって周波数チャンネルがch9からch55に変化すると、上述したt1~t8の動作が繰り返される。

【0015】

図38は、上記図36に示した通信システム1における電圧制御発振器4の回路構成例を示している。この電圧制御発振器4は、チャンネル選択用の電圧可変容量素子(周波数チャンネル用バラクタダイオードまたはバリキャップダイオード)Cch1、Cch2、周波数変調用の電圧可変容量素子(周波数チャンネル用バラクタダイオードまたはバリキャップダイオード)Cmod1、Cmod2、インダクタンス素子L1及びインバータ11、12等から構成されている。上記電圧可変容量素子Cch1、Cch2の一端(カソード)は入力端子V1に共通接続され、フェイズ・ロックト・ループ6から出力される制御電圧Vch(チャンネル周波数に対応する電圧、例えば1.5V)が供給される。この制御電圧Vchは、電源VDDや温度Tempが変動しても周波数が所望の範囲内になる値に調整される。

【0016】

また、上記電圧可変容量素子 C_{mod1} 、 C_{mod2} の一端（カソード）は入力端子 V_2 に共通接続され、ロウパスフィルタ 3 から出力される電圧 V_{mod} が供給される。この電圧 V_{mod} は、発振周波数を微調整するためのもので、例えば 1.25 V である。上記電圧可変容量素子 C_{ch1} の他端（アノード）と電圧可変容量素子 C_{mod1} の他端（アノード）は、発振信号 VCO_{out1} を出力する出力端子 $out1$ に接続される。一方、上記電圧可変容量素子 C_{ch2} の他端（アノード）と電圧可変容量素子 C_{mod2} の他端（アノード）は、発振信号 VCO_{out2} を出力する出力端子 $out2$ に接続される。

【0017】

上記出力端子 $out1$ 、 $out2$ 間には、インダクタンス素子 $L1$ が接続されている。また、上記インバータ 11 の入力端は上記出力端子 $out1$ に接続され、出力端は上記出力端子 $out2$ に接続される。上記インバータ 12 の入力端は上記出力端子 $out2$ に接続され、出力端は上記出力端子 $out1$ に接続される。これらの出力端子 $out1$ 、 $out2$ から出力される発振信号 VCO_{out1} 、 VCO_{out2} は、電圧 V_{cm} を中心にして 0.4 V から 1.2 V の範囲で振れる電圧である。

【0018】

図 39 (a) は、フェイズ・ロック・ループ 6 でチャネル周波数にロックする期間のチャネル選択用の電圧可変容量素子 C_{ch1} 、 C_{ch2} の動作点を示し、図 39 (b) は、同じくフェイズ・ロック・ループ 6 でチャネル周波数にロックする期間の周波数変調用の電圧可変容量素子 C_{mod1} 、 C_{mod2} の動作点を示している。図 39 (a) に示すように、電圧可変容量素子 C_{ch1} 、 C_{ch2} に印加される電圧 V_{ch} ($V_{var i Cap}$) は、0.3 V から 1.1 V の範囲で変化する。この時、容量 C_{ch} ($C_{var i Cap}$) は電圧 V_{ch} の上昇に伴って低下する。また、図 39 (b) に示すように、可変容量素子 C_{mod1} 、 C_{mod2} に印加される電圧 V_{mod} ($V_{var i Cap}$) は、0.05 V から 0.85 V の範囲で変化する。この時、容量 C_{mod} ($C_{var i Cap}$) も電圧 V_{mod} の上昇に伴って低下する。

【0019】

図 40 は、周波数変調時におけるチャネル選択用の電圧可変容量素子 C_{ch1} 、 C_{ch2} の動作点を示しており、ここでは電圧 V_{mod} をロック時の値 (1.25 V) から ± 25 mV だけずらして所望の周波数変調を行う例を示している。図 40 に示すように、チャネル選択用の電圧可変容量素子 C_{ch} の動作点は、電圧 V_{ch} が変わらず、電圧 V_{mod} の変化が小さいため、図 39 (a) とほとんど変わらない。

【0020】

図 41 (a)、(b) はそれぞれ、データが“1”と“0”の時の周波数変調用の電圧可変容量素子 C_{mod} (C_{mod1} 、 C_{mod2}) の動作点を示している。図 41 (a) に示すようにデータが“1”の時は、電圧 V_{mod} が基準電圧から 25 mV 上昇し、0.075 V ~ 0.875 V の範囲で変化することになる。これによって容量 C_{mod} の平均容量は低下し、発振周波数 f_1 は基準電圧 V_{ref} の時の f_{init} に対して df だけ上昇する ($f_1 = f_{init} + df$)。

【0021】

一方、図 41 (b) に示すようにデータが“0”の時には、電圧 V_{mod} が基準電圧から 25 mV 低下し、0.025 V ~ 0.825 V の範囲で変化することになる。これによって容量 C_{mod} の平均容量は増加し、発振周波数 f_0 は基準電圧 V_{ref} の時の f_{init} に対して df だけ低下する ($f_0 = f_{init} - df$)。

【0022】

すなわち、変調の前後で電圧振幅の両側 25 mV の容量差分が変調周波数に対応することが分かる。これらの容量変化の差分を図 41 (c) に示す。上記容量変化の差分は 0.67 fF に相当し、温度特性は変調後に増加した容量分 C (0.05 V) と変調後に減少した容量分 C (0.85 V) との差から生ずる。特に、データ“0”の場合は、図 41 (c) に示すように、容量は C (0.05 V) - C (0.85 V) だけ増加し、その分だけ電圧制御発振器 4 の発振周波数を下げている。

【0023】

図42(a), (b)はそれぞれ、上記電圧可変容量素子Cmod1, Cmod2の回路図、及びその断面構成図を示している。P型半導体基板(Psub)11にN型のウェル領域(Nwell)12が形成され、このウェル領域12中に電圧可変容量素子Cmod1のアノードとして働くP⁺型の不純物拡散領域13-1~13-nと電圧可変容量素子Cmod2のアノードとして働くP⁺型の不純物拡散領域15が形成されている。これによって、電圧可変容量素子Cmod1はn個のPN接合ダイオードが並列接続された構成になり、電圧可変容量素子Cmod2のn倍のサイズになっている。また、上記ウェル領域12中には、N⁺型の不純物拡散領域14-1, 14-2が形成されて電圧Vmodが印加され、このウェル領域12が電圧可変容量素子Cmod1, Cmod2のカソードとして働く。

【0024】

図43は、上記可変容量素子Cmod1, Cmod2のC-V特性を示している。電圧依存の電圧可変容量素子Cmod1, Cmod2として、図42(b)に示したようにPN接合ダイオードのPNジャンクションを用いているので、図43に示すようにC-V特性の温度依存性はビルトインポテンシャルの温度依存性を通じて現れる。図43において、実線C(LT)は低温時の容量変化を示し、破線C(HT)は高温時の容量変化を示している。また、-Vbi(LT)は低温時のビルトインポテンシャル、-Vbi(HT)は高温時のビルトインポテンシャルである。容量C(t)は、PN接合ダイオードの順方向電圧をVf、ビルトインポテンシャルをVbiとすると、

$$C(t) = K / (Vf + Vbi)^a$$

で表せる。但し、上式においてaは傾き、Kは定数である。

【0025】

図44は、上記図36に示した通信システム1におけるロウパスフィルタ3の回路構成例を示している。このロウパスフィルタ3は、バンドギャップリファレンス7、D/Aコンバータ8及びフィルタ9を含んで構成される。バンドギャップリファレンス7は、温度に対する依存性の小さな基準電圧Vrefを発生する。D/Aコンバータ8には、上記バンドギャップリファレンス7で発生された基準電圧Vrefが入力され、データDATAの“1”または“0”、信号LPFenのレベルに応じてアナログ電圧が設定され、出力される。このD/Aコンバータ8の出力電圧がフィルタ9に供給され、このフィルタ9から出力される電圧Vmodが電圧制御発振器4の入力端子V2に供給される。

【0026】

図45は、上記図44に示したロウパスフィルタ3のC-V特性と電圧Veffの温度依存性とを対比して示している。ここで、電圧Veffは、バラクタダイオードの2端子間電位差であり、「 $V_{eff} = V_{cm} - V_{mod}$ 」で表される。図45に示すように、従来の周波数直接変調方式では制御電圧(1.25V)や変調電圧(25mV)は温度依存性がC-V特性の温度依存性に比べて十分に小さかったため、変調周波数が温度変動とともに大きくずれてしまう。変調周波数が設定値から大きくずれると隣接チャネルにとってノイズ源となるため、変調周波数の温度依存性は低くするのが望ましい。

【0027】

周波数変調を与える容量の温度依存性を定量的に数1に示す。

【数 1】

$$\begin{aligned}
dC(RT) &= \int_{0.05V}^{0.85V} [C(V)dV] / 0.8V - \int_{0.075V}^{0.875V} [C(V)dV] / 0.8V \\
&= [C(0.05V, RT) - C(0.85V, RT)] \times 0.025 / 0.8 \\
[dC(HT) - dC(RT)] / dC(RT) \\
&= [\{ C(0.05V, HT) - C(0.85V, HT) \} - \{ C(0.05V, RT) - C(0.85V, RT) \}] / \{ C(0.05V, RT) - C(0.85V, RT) \} \\
&= [C(0.05V, RT) \times a(0.05V) - C(0.85V, RT) \times a(0.85V)] / \{ C(0.05V, RT) - C(0.85V, RT) \} \\
&= a(0.85V) + \{ a(0.05V) - a(0.85V) \} \times C(0.05V, RT) / \{ C(0.05V, RT) - C(0.85V, RT) \} \gg a(0.85V)
\end{aligned}$$

【0028】

上式において、温度係数差を表している“ $a(0.05V) - a(0.85V)$ ”は、物理的にやむを得ないものである。また、“ $C(0.05V, RT) - C(0.85V, RT)$ ”は、温度係数差を増幅する（現状の増幅率は5程度）。

【0029】

上式から明らかなように、電圧可変容量素子の動作電圧の最大値における容量値の温度依存性は、最小値における容量値の温度依存性より小さいため、両者の差には温度依存性

が残る。また、この差容量 dC の温度係数は第 2 項で示される増幅項によって、容量 C の温度係数の数倍に拡大されてしまうことが分かる。

【非特許文献 1】 "A Fully-Integrated CMOS RFIC for Bluetooth Applications" 2001 IEEE International Solid-State Circuits Conference DIGEST OF TECHNICAL PAPERS A. Ajikuttira et.al. pp.198-199, Feb.2001

【非特許文献 2】 "A 2.4GHz RF Transceiver with Digital Channel-Selection Filter for Bluetooth" 2002 IEEE International Solid-State Circuits Conference M. Kokubo et.al. pp.94-95, Feb.2002

【発明の開示】

【発明が解決しようとする課題】

【0030】

上記のように従来の周波数直接変調装置は、変調周波数の温度変動により、隣接する通信チャネルに対するノイズ源となる、という問題があった。

【0031】

また、上記周波数直接変調装置を備えた通信システムも同様な問題を抱えている。

【0032】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、変調周波数の温度変動による隣接する通信チャネルに対するノイズを抑えることができる周波数直接変調装置及び通信システムを提供することにある。

【課題を解決するための手段】

【0033】

この発明の一態様によると、第 1 制御端子に印加される第 1 電圧によって容量値が変化する第 1 電圧可変容量手段と、第 2 制御端子に印加される第 2 電圧によって容量値が変化する第 2 電圧可変容量手段とを備え、前記第 1、第 2 制御端子に与えられた第 1、第 2 電圧に対応する周波数で発振する電圧制御発振器と、前記第 1 制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第 1 制御端子に印加する第 1 電圧を保持するフェイズ・ロック・ループと、前記第 2 制御端子に接続され、前記フェイズ・ロック・ループのロック期間中に前記第 2 制御端子に第 2 電圧を印加し、前記フェイズ・ロック・ループのロック期間後に、入力データに応じて前記第 2 制御端子へ印加する前記第 2 電圧を第 3 電圧だけ変化させた変調用の電圧を発生する電圧発生手段とを具備し、前記第 2 電圧の温度依存性は、前記第 2 電圧可変容量手段における容量値を与える素子の 2 端子間の電位差の温度依存性より大きい周波数直接変調装置が提供される。

【0034】

また、この発明の別の態様によると、第 1 制御端子に印加される第 1 電圧によって容量値が変化する第 1 電圧可変容量手段と、第 2 制御端子に印加される第 2 電圧によって容量値が変化する第 2 電圧可変容量手段とを備え、前記第 1、第 2 制御端子に与えられた第 1、第 2 電圧に対応する周波数で発振する電圧制御発振器と、前記第 1 制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第 1 制御端子に印加する第 1 電圧を保持するフェイズ・ロック・ループと、前記第 2 制御端子に接続され、前記フェイズ・ロック・ループのロック期間中に前記第 2 制御端子に第 2 電圧を印加し、前記フェイズ・ロック・ループのロック期間後に、入力データに応じて前記第 2 制御端子へ印加する前記第 2 電圧を第 3 電圧だけ変化させた変調用の電圧を発生する電圧発生手段とを具備し、前記第 2 電圧は、温度依存性が前記第 2 電圧可変容量手段における容量値を与える素子の 2 端子間の電位差の温度依存性より小さい第 4 電圧と、前記素子の 2 端子間の電位差に比例した第 5 電圧との差で与えられる周波数直接変調装置が提供される。

【0035】

更に、この発明の別の態様によると、第 1 制御端子に印加される第 1 電圧によって容量値が変化する第 1 電圧可変容量手段と、第 2 制御端子に印加される第 2 電圧によって容量

値が変化する第2電圧可変容量手段とを備え、前記第1、第2制御端子に与えられた第1、第2電圧に対応する周波数で発振する電圧制御発振器と、前記第1制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第1制御端子に印加する第1電圧を保持するフェイズ・ロックト・ループと、前記第2制御端子に接続され、前記フェイズ・ロックト・ループのロック期間中に前記第2制御端子に第2電圧を印加し、前記フェイズ・ロックト・ループのロック期間後に、入力データに応じて前記第2制御端子へ印加する前記第2電圧を第3電圧だけ変化させた変調用の電圧を発生する電圧発生手段とを具備し、前記第2電圧は、温度依存性が前記第2電圧可変容量手段における容量値を与える素子の2端子間の電位差の温度依存性より小さい第4電圧で与えられる周波数直接変調装置が提供される。

【0036】

更にまた、この発明の別の態様によると、第1端子が第1制御端子にそれぞれ共通接続される第1、第2電圧可変容量素子と、第1端子が第2制御端子にそれぞれ共通接続される第3、第4電圧可変容量素子と、一方の電極が前記第3電圧可変容量素子の第2端子に接続され、他方の電極が前記第1電圧可変容量素子の第2端子に接続される第1キャパシタと、一方の電極が前記第4電圧可変容量素子の第2端子に接続され、他方の電極が前記第2電圧可変容量素子の第2端子に接続される第2キャパシタと、前記第1、第2電圧可変容量素子の前記第2端子間に接続されるインダクタとを具備し、前記第1、第2制御端子に印加される電圧に基づいて発振周波数が変化する電圧制御発振器を備える周波数直接変調装置が提供される。

【0037】

この発明の別の態様によると、少なくとも1つのインダクタと、第1端子が第1制御端子にそれぞれ共通接続される第1、第2電圧可変容量素子と、第1端子が第2制御端子にそれぞれ共通接続される第3、第4電圧可変容量素子と、一方の電極が前記第1電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第1端子に接続される第1キャパシタと、一方の電極が前記第2電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第2端子に接続される第2キャパシタと、一方の電極が前記第3電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第1端子に接続される第3キャパシタと、一方の電極が前記第4電圧可変容量素子の第2端子に接続され、他方の電極が前記インダクタの第2端子に接続される第4キャパシタとを具備し、前記第1、第2制御端子に印加される電圧に基づいて発振周波数が変化する電圧制御発振器を備える周波数直接変調装置が提供される。

【0038】

この発明の別の態様によると、上述したような構成の周波数直接変調装置と、送信データを前記電圧発生手段に入力データとして供給することにより、前記第2電圧と前記送信データに対応する前記変調用の電圧を発生させ、且つ周波数チャンネルを指示するための信号を前記フェイズ・ロックト・ループに供給して周波数チャンネルを指示するベースバンドLSIとを具備する通信システムが提供される。

【0039】

また、この発明の別の態様によると、上述したような構成の電圧制御発振器と、前記電圧制御発振器の前記第1制御端子に接続され、前記電圧制御発振器の発振周波数を所定の周波数にロックした後、前記第1制御端子に印加する第1電圧を保持するフェイズ・ロックト・ループと、前記電圧制御発振器の前記第2制御端子に接続され、前記フェイズ・ロックト・ループのロック期間中に前記第2制御端子に第2電圧を印加し、前記フェイズ・ロックト・ループのロック期間後に、入力データに応じて前記第2制御端子へ印加する前記第2電圧を第3電圧だけ変化させた変調用の電圧を発生する電圧発生手段と、送信データを前記電圧発生手段に入力データとして供給することにより、前記第2電圧と前記送信データに対応する前記変調用の電圧とを発生させ、周波数チャンネルを指示するための信号を前記フェイズ・ロックト・ループに供給して周波数チャンネルを指示するベースバンドLSIとを具備する通信システムが提供される。

【0040】

上記のような構成によれば、温度が変動した時に、電圧制御発振器の制御電圧を上記温度変動に対応して補償するように変化させ、発振周波数が変動するのを抑制できる。

【0041】

あるいは、電圧制御発振器中の周波数変調用の電圧可変容量素子を、キャパシタによって当該電圧制御発振器の動作ノード（出力端子）から分離し、発振周波数が変動するのを抑制できる。

【0042】

また、電圧制御発振器中のチャネル選択用の電圧可変容量素子と周波数変調用の電圧可変容量素子を、キャパシタによって当該電圧制御発振器の動作ノード（出力端子）から分離し、発振周波数が変動するのを抑制できる。

【0043】

従って、温度変動による隣接する通信チャネルに対するノイズを抑えることができる。

【発明の効果】**【0044】**

この発明によれば、変調周波数の温度変動による隣接する通信チャネルに対するノイズを抑えることができる周波数直接変調装置及び通信システムが得られる。

【発明を実施するための最良の形態】**【0045】**

以下、この発明の実施の形態について図面を参照して説明する。

【第1の実施の形態】

図1は、この発明の第1の実施の形態に係る周波数直接変調装置の概略構成について説明するためのブロック図であり、通信システムの一部を抽出して示している。基本的な構成は、図36に示した従来の通信システム1と同様であり、電圧制御発振器（VCO）の制御端子に印加する電圧 V_{mod} を、データの“1”または“0”に応じて変えることによって周波数変調を行うものである。

【0046】

上記通信システム21は、ベースバンドLSI（BaseBandLSI）22、ロウパスフィルタ（LPF）23、電圧制御発振器（VCO）24、パワーアンプ（PA）25及びフェイズ・ロックト・ループ（PLL）26等を含んで構成されている。

【0047】

上記ベースバンドLSI22は、システム中の各回路の制御を行うもので、このベースバンドLSI22から出力される送信データDATAはロウパスフィルタ23に供給され、周波数チャネルを指示するための信号ChannelContは上記フェイズ・ロックト・ループ26に供給される。上記ロウパスフィルタ23及び上記フェイズ・ロックト・ループ26には、信号LPFenが供給されて活性化／非活性化が制御される。

【0048】

また、上記フェイズ・ロックト・ループ26には、参照クロックRefClkと電圧制御発振器24から出力される発振信号VCOout1が入力される。上記参照クロックRefClkは、ベースバンドLSI22から与えられた信号ChannelContにより指示される周波数チャネルに応じて分周される。そして、この分周クロックと発振信号VCOout1の位相が揃うように制御電圧（チャネル周波数を設定する電圧）Vchを調整して電圧制御発振器24の一方の入力端子（制御端子）V1に供給する。この調整期間に、電圧制御発振器24の他方の入力端子（制御端子）V2には、ロウパスフィルタ23から負の温度依存性を持った電圧 V_{mod} が供給される。この電圧 V_{mod} の温度依存性は、上記電圧制御発振器24における容量値を与える素子（電圧可変容量素子）の2端子間の電位差の温度依存性より大きくなっている。この電圧制御発振器24は、信号VCOenによって活性化／非活性化が制御され、上記ロウパスフィルタ23とともに周波数変調回路として働く。

【0049】

そして、上記電圧制御発振器 24 の出力端子 $out1$, $out2$ から出力される発振信号 $VCOout1$, $VCOout2$ がパワーアンプ 25 に供給されて増幅され、送信信号 $RFout$ が出力される。このパワーアンプ 25 には、信号 $PAen$ が供給されて活性化／非活性化が制御されるようになっている。

【0050】

図 2 は、上記図 1 に示した通信システム 21 におけるロウパスフィルタ 23 の回路構成例を示している。このロウパスフィルタ 23 が図 44 に示したロウパスフィルタ 3 と異なるのは、バンドギャップリファレンス回路 7 に代えて温度依存性を持った（温度係数が負の）基準電圧発生回路 27 を設けている点にある。D/A コンバータ 28 及びフィルタ 29 は、図 44 と同様な回路構成になっている。

【0051】

上記基準電圧発生回路 27 は、Pチャネル型 MOS トランジスタ $Q1 \sim Q3$ 、オペアンプ 30、抵抗 $R1 \sim R4$ 、及び電圧可変容量素子 $D1$, $D2$ を備えている。上記 MOS トランジスタ $Q1$, $Q2$ のソースは、電源 VDD に接続される。上記 MOS トランジスタ $Q1$ のドレインにはオペアンプ 30 の反転入力端（－）が接続され、上記 MOS トランジスタ $Q2$ のドレインにはオペアンプ 30 の非反転入力端（＋）が接続され、これら MOS トランジスタ $Q1$, $Q2$ のゲートにはオペアンプ 30 の出力端が接続される。また、上記 MOS トランジスタ $Q1$ のドレインと接地点 Vss 間には、抵抗 $R1$ と電圧可変容量素子 $D1$ のアノード、カソード間とが並列接続される。上記 MOS トランジスタ $Q2$ のドレインには、抵抗 $R2$ の一端が接続され、この抵抗 $R2$ の他端と接地点 Vss 間に電圧可変容量素子 $D2$ のアノード、カソード間が接続される。更に、上記 MOS トランジスタ $Q2$ のドレインと接地点 Vss 間には、抵抗 $R3$ が接続される。

【0052】

上記 MOS トランジスタ $Q3$ のソースは電源 VDD に接続され、ゲートはオペアンプ 30 の出力端に接続される。上記抵抗 $R4$ の一端は上記 MOS トランジスタ $Q3$ のドレインに接続され、他端は接地点 Vss に接続される。そして、上記 MOS トランジスタ $Q3$ と抵抗 $R4$ との接続点から温度係数が負の基準電圧 $Vref$ を出力するようになっている。

【0053】

上記基準電圧発生回路 27 は、基本的には温度に対する依存性がない（または小さい）通常のバンドギャップリファレンス回路と同じ回路構成であるが、3つの抵抗 $R1 \sim R3$ の抵抗値を調整し、温度係数を負に設定している。これによって、図 3 に示すように温度変化に対する電圧 $Vmod$ の変動を所定の傾き（ $dVmod/dT > a$ ）を持った特性にしている。 $Veff$ は電圧可変容量素子にかかる有効電圧を示し、図 38 の VCO に示した記号で表すと $Veff = Vmod - Vcm$ である。パラメータ a は図 43 の CV カーブの温度係数 $dVbi/dT$ を示す。

【0054】

なお、上記抵抗 $R1 \sim R3$ の各抵抗値は、全て変える必要はなく、必要とする特性に応じて少なくともいずれか 1 つを変化させても良い。また、上記抵抗 $R1 \sim R3$ の抵抗値の設定だけでなく、電圧可変容量素子 $D1$, $D2$ のサイズ比、MOS トランジスタ $Q1$, $Q2$ のサイズ比の調整、あるいはこれらの組み合わせにより温度変化に対する電圧 $Vmod$ の変化量を調整しても良い。

【0055】

上記 D/A コンバータ 28 は、オペアンプ 31、スイッチ $SW1 \sim SW3$ 及び抵抗 $R5 \sim R8$ を含んで構成されている。上記オペアンプ 31 の非反転入力端（＋）には上記基準電圧発生回路 27 から出力される基準電圧 $Vref$ が供給される。このオペアンプ 31 の出力端と接地点 Vss 間には、上記抵抗 $R5 \sim R8$ が直列接続される。スイッチ $SW1$ の一端は、オペアンプ 31 の反転入力端（－）に接続され、他端は抵抗 $R5$ と $R6$ との接続点に接続される。このスイッチ $SW1$ は、データ $DATA$ が“0”の時にオンする。また、スイッチ $SW2$ の一端は、オペアンプ 31 の反転入力端（－）に接続され、他端は抵抗 $R6$ と $R7$ との接続点に接続される。このスイッチ $SW2$ は、信号 $LPFen$ が“L”レ

ベルの時にオンする。更に、スイッチSW3の一端は、オペアンプ31の反転入力端（－）に接続され、他端は抵抗R7とR8との接続点に接続される。このスイッチSW3は、データDATAが“1”の時にオンする。

【0056】

上記フィルタ29は、抵抗R9と容量素子（キャパシタ）C0とを含んで構成されている。抵抗R9の一端は上記オペアンプ31の出力端に接続される。この抵抗R9の他端と接地点Vss間には上記容量素子C0が接続される。そして、上記抵抗R9の他端から温度依存性を持った電圧Vmodが出力されるようになっている。

【0057】

図4は、上記図1及び図2に示した通信システム21における各信号の波形を示すタイミングチャートである。時刻t1に、信号ChannelContが遷移して周波数チャンネルがch21からch9に変化し、信号VCOenが“H”レベルとなって電圧制御発振器24が活性化されると、入力端子V1、V2に印加される電圧Vch、Vmodに対応する周波数finitの発振信号VCOout1が出力される。この際、信号LPFenの“L”レベルによってロウパスフィルタ23におけるD/Aコンバータ28中のスイッチSW2がオンし、電圧Vmodの初期値として基準電圧Vrefが出力される。また、フェイズ・ロック・ループ26は活性状態となり、参照クロックRefClkが信号ChannelContにより指示された周波数チャンネルch9に対応するように分周され、この分周クロックと発振信号VCOout1の位相が揃うように制御電圧Vchが設定される（時刻t2）。

【0058】

その後、信号PAenが“H”レベルになると、パワーアンプ25が活性化されて、発振信号VCOout1、VCOout2が増幅され、上記周波数finitの送信信号RFoutが出力される（時刻t3）。

【0059】

電圧制御発振器24が安定動作になると、ロウパスフィルタ23の活性化信号LPFenが“H”レベル（時刻t4）になることによって、D/Aコンバータ28中のスイッチSW2がオフ状態となり、ベースバンドLSI22からのデータDATAがロウパスフィルタ23に転送されるとともに、フェイズ・ロック・ループ26のフィードバックループが切られ、制御電圧Vchのレベルが保持される。この状態で、上記電圧制御発振器24の入力端子V2の電圧VmodをデータDATAの“1”または“0”に応じて変えることにより発振周波数が変調される。

【0060】

例えば、データDATAが“1”であるとする、スイッチSW3がオン（スイッチSW1、SW2はオフ）してオペアンプ31の出力電圧が上昇し、電圧Vmodは基準電圧Vrefのレベルから“1”に対応するレベルに上昇する。これによって、電圧制御発振器24から出力される発振信号VCOout1、VCOout2の周波数がf1に上昇する。パワーアンプ25はこの電圧制御発振器24から出力される発振信号VCOout1、VCOout2を増幅して周波数f1の送信信号RFoutを出力する。

【0061】

続いて、データDATAが“0”に反転したとすると（時刻t5）、スイッチSW1がオン（スイッチSW2、SW3はオフ）してオペアンプ31の出力電圧が低下し、電圧Vmodは“1”に対応するレベルから“0”に対応するレベルに低下する。この結果、電圧制御発振器24から出力される発振信号VCOout1、VCOout2の周波数がf0に変化（低下）する。よって、パワーアンプ25から周波数f0の送信信号RFoutが出力される。

【0062】

時刻t6以降は、データDATAの“1”または“0”に応じて上述したような動作が繰り返される。

【0063】

そして、時刻 t_7 に信号 LPF_{en} が“L”レベルに反転し、ベースバンド LSI_{22} からのデータ $DATA$ の転送が停止される。また、ロウパスフィルタ23における D/A コンバータ28中のスイッチ SW_2 がオンして、電圧 V_{mod} は基準電圧 V_{ref} に戻る。更に、フェイズ・ロック・ループ26のフィードバックループが動作し、制御電圧 V_{ch} のレベルも初期状態に戻る。制御電圧 V_{mod} は基準電圧 V_{ref} に戻り、信号 VCO_{en} が“L”レベルとなり、発振信号 VCO_{out1} , VCO_{out2} の周波数が初期値 f_{init} に戻り、信号 PA_{en} が“L”レベルとなって、パワーアンプ25から出力される送信信号 RF_{out} が停止する（時刻 t_8 ）。

【0064】

次の時刻 t_9 に、信号 $ChannelCont$ によって周波数チャンネルが ch_9 から ch_{55} に変化すると、上述した $t_1 \sim t_7$ の動作が繰り返される。

【0065】

次に、動作中に温度が変化した場合について説明する。基準電圧発生回路27の温度係数が正であるので、温度が上昇すると、その出力電圧 V_{ref} は上昇する。この電圧 V_{ref} は、 D/A コンバータ28の動作点の基準となる電圧であり、フィルタ29の出力電圧 V_{mod} は図3に示すように上昇する。よって、信号 LPF_{en} が“L”レベルの時には、この上昇した電圧 V_{refH} が出力され、データの“1”または“0”に対応する電圧も上昇し、電圧 V_{mod} が上昇する（図4の一点鎖線 V_{modH} 参照）。上記電圧 V_{mod} の上昇量は、温度の上昇による上記電圧制御発振器24の発振周波数の増大量に対応する。これによって、電圧制御発振器24から出力される発振信号 VCO_{out1} , VCO_{out2} の周波数が一定になるように補償される。

【0066】

一方、温度が低下すると、基準電圧発生回路27の出力電圧 V_{ref} は低下する。フィルタ29の出力電圧 V_{mod} は、信号 LPF_{en} が“L”レベルの時には、この低下した電圧 V_{refL} となり、データの“1”または“0”に対応する電圧も低下し、電圧 V_{mod} が低下する（図4の二点鎖線 V_{modL} 参照）。上記電圧 V_{mod} の減少量は、温度の上昇による上記電圧制御発振器24の発振周波数の上昇量に対応する。これによって、電圧制御発振器27から出力される発振信号 VCO_{out1} , VCO_{out2} の周波数が一定になるように補償される。

【0067】

従って、このような構成によれば、変調周波数が温度に依存して変動した時に、電圧 V_{mod} の初期値と振幅の両方を変化させて電圧制御発振器24から出力される発振信号 VCO_{out1} , VCO_{out2} の周波数が変動するのを抑制できる。これによって、隣接する通信チャンネルに対するノイズを抑えることができる。

【0068】

なお、上記電圧制御発振器24には、図38に示した従来と同様な回路構成のものを適用でき、電圧制御発振器24における変調用の電圧可変容量素子 C_{mod1} , C_{mod2} には図42(a), (b)の構造を用いることができる。

【0069】

[第2の実施の形態]

図5は、この発明の第2の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、上記図2に示した回路における基準電圧発生回路27の他の構成例を示している。図5に示す基準電圧発生回路も図2に示した回路と同様に、温度係数が正であり、電圧 V_{mod} が図3に示したような温度変化に対する傾き ($dV_{mod}/dT > a$) の特性を持っている。この電圧 V_{mod} の温度依存性は、電圧制御発振器24における容量値を与える素子（電圧可変容量素子）の2端子間の電位差の温度依存性より大きくなっている。

【0070】

この回路は、抵抗 $R_{10} \sim R_{14}$ 、電圧可変容量素子 D_3 , D_4 及びオペアンプ41, 42を含んで構成されている。上記抵抗 R_{10} , R_{11} の一端はオペアンプ41の出力端

に接続され、抵抗 R_{10} の他端はオペアンプ 41 の反転入力端 (−) に接続され、抵抗 R_{11} の他端はオペアンプ 41 の非反転入力端 (+) に接続される。上記抵抗 R_{10} の他端と接地点 V_{ss} 間には、抵抗 R_{12} 及び電圧可変容量素子 D_3 のアノード、カソード間が直列接続される。上記オペアンプ 41 の非反転入力端 (+) には、電圧可変容量素子 D_4 のアノードが接続され、この電圧可変容量素子 D_4 のカソードは接地点 V_{ss} に接続される。

【0071】

上記オペアンプ 42 の非反転入力端 (+) には、上記オペアンプ 41 の出力端が接続される。このオペアンプ 42 の出力端と接地点 V_{ss} 間には、抵抗 R_{13} , R_{14} が直列接続され、これら抵抗 R_{13} , R_{14} の接続点にその反転入力端 (−) が接続される。そして、上記オペアンプ 42 の出力端から基準電圧 V_{ref} を出力するようになっている。

【0072】

上記図 5 に示した基準電圧発生回路 27 も、温度係数を正にするために、温度に対する依存性のない (あるいは小さい) 通常のバンドギャップリファレンス回路に対して、3 つの抵抗 $R_{10} \sim R_{12}$ の抵抗値を調整し、温度係数を正にしている。これによって、図 3 に示したように温度変化に対する電圧 V_{mod} の変動を所定の傾き ($dV_{mod}/dT > a$) を持った特性にしている。

【0073】

このような構成であっても、前述した第 1 の実施の形態と同様に、変調周波数が温度に依存して変動した時に、電圧 V_{mod} を変化 (増加または減少) させて電圧制御発振器 24 から出力される発振信号 VCO_{out1} , VCO_{out2} の周波数が変動するのを抑制できる。これによって、隣接する通信チャネルに対するノイズを抑えることができる。

【0074】

なお、上記抵抗 $R_{10} \sim R_{12}$ の抵抗値の設定は、必要とする特性に応じて少なくとも 1 つを変更しても良く、これらの抵抗値だけでなく、電圧可変容量素子 D_1 , D_2 のサイズ比、あるいはこれらの組み合わせにより温度変化に対する電圧 V_{mod} の変動を調整しても良い。

【0075】

また、上記電圧制御発振器 24 には、図 38 に示した従来と同様な回路構成のものを適用でき、電圧制御発振器 24 における変調用の電圧可変容量素子 C_{mod1} , C_{mod2} には図 42 (a), (b) の構造を用いることができるのは勿論である。

【0076】

[第 3 の実施の形態]

図 6 (a) は、この発明の第 3 の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、温度依存性の小さいバンドギャップリファレンス回路 43 を用いて温度依存性の小さい基準電流 I_{ref} と電圧可変容量素子 D_5 のフォワード電流 I_f の和に比例した電圧を出力する回路を示している。図 2 に示した回路構成例では、温度係数を正にするために、抵抗 $R_1 \sim R_3$ の抵抗値をずらしたが、図 6 (a) に示す回路では実質的に同じ回路構成であるものの、これら抵抗 $R_1 \sim R_3$ の抵抗値の調整、電圧可変容量素子 D_1 , D_2 のサイズ比、MOS トランジスタ Q_1 , Q_2 のサイズ比の調整、あるいはこれらの組み合わせにより温度変化に対して出力電圧 V_{ref} が一定になるように調整し、バンドギャップリファレンス回路 43 を構成している。

【0077】

このバンドギャップリファレンス回路 43 は、基本的には図 2 に示した基準電圧発生回路 27 と同様な回路構成で、温度に対する依存性が小さい基準電圧発生回路 27' に、P チャネル型 MOS トランジスタ Q_4 と電圧可変容量素子 D_5 を付加したものである。上記 MOS トランジスタ Q_4 のソースは電源 V_{DD} に接続され、ゲートはオペアンプ 30 の出力端に接続される。上記 MOS トランジスタ Q_4 のドレインには電圧可変容量素子 D_5 のアノードが接続され、そのカソードは接地点 V_{ss} に接続される。そして、上記 MOS トランジスタ Q_4 と電圧可変容量素子 D_5 との接続点から電圧 V_f を出力するようになって

いる。

【0078】

ここで、上記電圧可変容量素子D5には、電圧制御発振器24中の電圧可変容量素子で用いているPN接合ダイオードを用いるのが望ましい。これによって、ビルトインポテンシャルが製造時にばらついても基準電圧が連動して変化するため動作点での容量値を補償できる。

【0079】

図6(b)は、上記図6(a)に示した回路から出力される電圧Vfを用いて温度依存性が負の基準電圧Vrefを生成する温度補償電圧生成回路を示している。この温度補償電圧生成回路は、オペアンプ44、Pチャネル型MOSトランジスタQ5、Q6、Q7、Nチャネル型MOSトランジスタQ60、Q61及び抵抗R15、R16等を含んで構成されている。オペアンプ44の反転入力端(−)には、上記バンドギャップリファレンス回路43から出力される電圧Vfが供給される。このオペアンプ44の出力端には、MOSトランジスタQ5、Q6のゲートが接続される。上記MOSトランジスタQ5のソースは電源VDDに接続され、ドレインは上記オペアンプ44の非反転入力端(+)及び抵抗R15の一端に接続される。この抵抗R15の他端は、接地点Vssに接続される。上記MOSトランジスタQ6のソースは電源VDDに接続され、ドレインはMOSトランジスタQ60のドレイン及びゲートに接続される。このMOSトランジスタQ60のソースは、接地点Vssに接続される。MOSトランジスタQ61のゲートは上記MOSトランジスタQ60のゲートに接続され、ドレインはMOSトランジスタQ7のドレインに接続され、ソースは接地点Vssに接続される。上記MOSトランジスタQ7のソースは電源VDDに接続され、ゲートは上記オペアンプ30の出力端に接続されてバイアス電圧pbiasが印加される。上記MOSトランジスタQ7、Q61のドレイン共通接続点には抵抗R16の一端が接続され、この抵抗R16の他端は接地点Vssに接続される。そして、上記MOSトランジスタQ7、Q61のドレイン共通接続点から温度依存性を持った基準電圧(温度係数が負)Vrefが出力される。

【0080】

図6(b)に示す回路では、MOSトランジスタQ61のソース、ドレイン間を流れる温度依存性のある電流Ifと、MOSトランジスタQ7のソース、ドレイン間を流れる温度依存性のない電流Irefとに基づいて基準電圧Vrefを生成する。よって、上記電流Ifと電流Irefとの重み付けで温度に対する依存性を自由に設定できる。

【0081】

そして、上記基準電圧Vrefを例えば図2におけるD/Aコンバータ28に供給し、フィルタ29を介して変調用の電圧Vmodを生成する。この電圧Vmodは、電圧制御発振器24の入力端子V2に供給される。上記電圧Vmodは、温度依存性が電圧制御発振器24の上記入力端子V2に接続された電圧可変容量素子の2端子間の電位差の温度依存性より小さい電圧と、この電圧可変容量素子の2端子間の電位差に比例した電圧との和に設定される。

【0082】

上記のような構成によれば、前述した第1、第2の実施の形態と同様に、変調周波数が温度に依存して変動した時に、図3に示したように電圧Vmodを変化させて電圧制御発振器24から出力される発振信号VCOout1、VCOout2の周波数が変動するのを抑制できる。これによって、隣接する通信チャネルに対するノイズを抑えることができる。

【0083】

なお、バンドギャップリファレンス回路は、図6(a)に示した構成に限られるものではなく、種々の構成のものを用いることができ、バンドギャップリファレンス回路から出力される温度依存性のないフォワード電圧Vfを図6(b)に示した回路に供給することにより、所期の温度依存性を持たせることができる。

【0084】

また、上記電圧制御発振器 24 には、図 38 に示した従来と同様な回路構成のものを適用でき、電圧制御発振器 24 における変調用の電圧可変容量素子 C_{mod1} 、 C_{mod2} には図 42 (a)、(b) の構造を用いることができる。

【0085】

[第 4 の実施の形態]

図 7 乃至図 10 はそれぞれ、この発明の第 4 の実施の形態に係る周波数直接変調装置及び通信システムについて説明するための図である。図 7 は、上記図 6 (a) に示した基準電圧発生回路 27' から出力される温度依存性がない（または小さい）電圧 V_{ref1} を用いてトランスコンダクタンスアンプ用の電源 V_{DD} を生成する電源電圧生成回路の構成例を示している。図 8 は、上記図 6 (a)、(b) 及び上記図 7 に示した回路とともに上記図 1 に示した回路におけるロウパスフィルタ 23 を形成する回路の構成例を示している。図 9 は、上記図 8 に示した回路におけるトランスコンダクタンスアンプ (gm_{amp}) の具体的な回路構成図である。また、図 10 は、上記図 8 及び図 9 に示した回路の一部の断面構成図である。

【0086】

図 7 に示した回路は、オペアンプ 45、Pチャネル型 MOS トランジスタ Q_8 及び抵抗 R_{17} を含んで構成されている。オペアンプ 45 の反転入力端 (−) には、上記図 6 (a) に示した基準電圧発生回路 27' の出力端 (MOS トランジスタ Q_3 と抵抗 R_4 との接続点) から出力される温度依存性がない電圧 V_{ref1} が供給される。このオペアンプ 45 の出力端には、MOS トランジスタ Q_8 のゲートが接続される。この MOS トランジスタ Q_8 のソースは電源 V_{DD} に接続され、ドレインは上記オペアンプ 45 の非反転入力端 (+) 及び抵抗 R_{17} の一端に接続される。この抵抗 R_{17} の他端は、接地点 V_{ss} に接続される。そして、上記 MOS トランジスタ Q_8 と抵抗 R_{17} との接続点からロウパスフィルタ 23 で用いられるトランスコンダクタンスアンプ用の電源 V_{DD} を出力するようになっている。

【0087】

図 8 に示す回路は、上記図 7 に示した回路から出力される温度依存性がない電源 V_{DD} に基づいて動作するトランスコンダクタンスアンプ (gm アンプ) 46-1 ~ 46-5、容量素子 (キャパシタ) $C_1 \sim C_6$ 、抵抗 $R_{18} \sim R_{20}$ 及びオペアンプ 47 等を含んで構成されている。抵抗 R_{18} の一端には、ベースバンド LSI_{22} から出力される送信データ $DATA$ が供給される。この抵抗 R_{18} の他端には、 gm アンプ 46-1 の出力端と gm アンプ 46-2 の第 1 の入力端が接続される。また、この抵抗 R_{18} の他端と接地点 V_{ss} 間には、容量素子 C_1 が接続される。上記 gm アンプ 46-1 の第 1 の入力端には、例えば上記図 6 (b) に示した回路から温度や電源電圧依存性がない（または小さい）基準電圧 V_{ref} が供給され、第 2 の入力端は gm アンプ 46-2 の出力端に接続される。

【0088】

上記 gm アンプ 46-2 の第 2 の入力端は、 gm アンプ 46-3 の出力端に接続され、その出力端は gm アンプ 46-3 の第 1 の入力端に接続される。この gm アンプ 46-2 の出力端と接地点 V_{ss} 間には容量素子 C_2 が接続される。

【0089】

上記 gm アンプ 46-3 の第 2 の入力端は、 gm アンプ 46-4 の出力端に接続され、その出力端は gm アンプ 46-4 の第 1 の入力端に接続される。この gm アンプ 46-3 の出力端と接地点 V_{ss} 間には容量素子 C_3 が接続される。

【0090】

また、上記 gm アンプ 46-4 の第 2 の入力端は、 gm アンプ 46-5 の出力端に接続され、その出力端は gm アンプ 46-5 の第 1 の入力端に接続される。この gm アンプ 46-4 の出力端と接地点 V_{ss} 間には容量素子 C_4 が接続される。

【0091】

上記 gm アンプ 46-5 の第 2 の入力端には、上記基準電圧 V_{ref} が供給され、その

出力端は抵抗 R_{19} の一端に接続される。また、この g_m アンプ 46-5 の出力端と接地点 V_{ss} 間には容量素子 C_5 が接続される。

【0092】

上記抵抗 R_{19} の他端は、オペアンプ 47 の反転入力端 (−) に接続される。このオペアンプ 47 の非反転入力端 (+) には上記基準電圧 V_{ref} が供給され、出力端と反転入力端 (−) 間には抵抗 R_{20} が接続される。そして、このオペアンプ 47 の出力端と接地点 V_{ss} 間に容量素子 C_6 が接続され、オペアンプ 47 の出力端から電圧 V_{mod} を出力するようになっている。

【0093】

なお、図 8 では、上記基準電圧 V_{ref} を図 6 (a), (b) に示した回路から与える場合を例に取って説明したが、図 2 や図 5 に示した基準電圧発生回路 27 から温度依存性を持った (温度係数が負の) 電圧を与えてフィルタリングを行うようにしても良いのは勿論である。

【0094】

上記 g_m アンプ 46-1 ~ 46-5 はそれぞれ、図 9 に示すように N チャネル型 MOS トランジスタ $Q_{10} \sim Q_{15}$ 、P チャネル型 MOS トランジスタ $Q_{16} \sim Q_{19}$ 及び抵抗 R_s を含んで構成されている。MOS トランジスタ Q_{16} , Q_{17} のソースには、上記図 7 に示した回路から出力される温度依存性がない (または小さい) 電源 V_{DD} が供給される。これら MOS トランジスタ Q_{16} , Q_{17} のドレインには、MOS トランジスタ Q_{10} , Q_{11} のドレインと MOS トランジスタ Q_{18} , Q_{19} のソースがそれぞれ接続される。

【0095】

上記 MOS トランジスタ Q_{10} , Q_{11} のゲートはそれぞれ g_m アンプの第 1, 第 2 の入力端として働くもので、これら MOS トランジスタ Q_{10} , Q_{11} のソース間に抵抗 R_s が接続される。また、上記 MOS トランジスタ Q_{10} , Q_{11} のソースと接地点 V_{ss} 間にはそれぞれ、MOS トランジスタ Q_{12} , Q_{13} のドレイン、ソース間が接続される。

【0096】

一方、上記 MOS トランジスタ Q_{18} , Q_{19} のドレインと接地点 V_{ss} 間にはそれぞれ、MOS トランジスタ Q_{14} , Q_{15} のドレイン、ソース間が接続される。上記 MOS トランジスタ $Q_{12} \sim Q_{15}$ のゲートには、バイアス電圧 $nBIAS$ が供給される。また、上記 MOS トランジスタ $Q_{16} \sim Q_{19}$ のベースは共通接続され、MOS トランジスタ Q_{18} のドレインに接続される。そして、上記 MOS トランジスタ Q_{19} , Q_{15} のドレイン共通接続点が g_m アンプの出力端 I_{out} として働く。

【0097】

この回路は差動入力電圧 $dV = V_{in1} - V_{in2}$ に対して、出力端 I_{out} から dV / r_s (r_s は抵抗 R_s の抵抗値) の電流を出力する。

【0098】

図 10 は、上記図 8 及び図 9 に示した回路の一部の断面構成図である。半導体基板 51 が P 型であると仮定すると、例えば N チャネル型 MOS トランジスタ $Q_{10} \sim Q_{15}$ は、上記基板 51 の主表面に形成された N 型のソース、ドレイン領域 52, 53 と、上記ソース、ドレイン領域 52, 53 間の基板 51 上に形成されたゲート絶縁膜 54 と、このゲート絶縁膜 54 上に形成されたゲート電極 55 とで形成される (図 10 では MOS トランジスタ Q を代表的に示す)。一方、P チャネル型 MOS トランジスタ $Q_{16} \sim Q_{19}$ は、上記基板 51 中に形成された N 型ウェル領域 (図示せず) 中に形成される。

【0099】

また、抵抗素子 $R_{18} \sim R_{20}$ は、上記 MOS トランジスタ Q 上に層間絶縁膜 68 を介在して形成されたポリシリコン層 56 で構成される。容量素子 $C_1 \sim C_6$ は上部電極 57、絶縁膜 58 及び下部電極 59 で構成される。これら各素子は複数層のコンタクト 60-1 ~ 60-4 と配線層 61-1, 61-2 等で電氣的に接続される。上記 MOS トランジ

スタQ及び下位配線層61-1と抵抗素子56、容量素子C1~C6及び上位配線層61-2との間には、グランドシールドを行うための中間配線層62が介在されている。

【0100】

図10に示した断面構成では、MOSトランジスタの上に抵抗素子や容量素子を配置できるので回路面積を抑制することができる。しかも、中間配線層62を用いてグランドシールドを行っているため、MOSトランジスタや下位配線層と抵抗素子、容量素子及び上位配線層との容量カップリングノイズを極めて小さく抑えることができる。中間配線層62は、両者を接続する一部だけはグランドにできないが、それ以外の領域をシールドすることが可能である。

【0101】

上記のような構成によれば、前述した第1乃至第4の実施の形態と同様に、変調周波数が温度に依存して変動した時に、電圧 V_{mod} を変化させて電圧制御発振器24から出力される発振信号 VCO_{out1} 、 VCO_{out2} の周波数が変動するのを補償または抑制できる。これによって、隣接する通信チャネルに対するノイズを抑えることができる。

【0102】

もちろん、この例でも上記電圧制御発振器24には、図38に示した従来と同様な回路構成のものを適用でき、電圧制御発振器24における変調用の電圧可変容量素子 C_{mod1} 、 C_{mod2} には図42(a)、(b)の構造を用いることができる。

【0103】

[第5の実施の形態]

図11は、この発明の第5の実施の形態に係る周波数直接変調装置及び通信システムについて説明するための回路図である。基準電圧発生回路27'は、図6(a)に示した回路と実質的に同じ回路構成であるので、同一部分に同じ符号を付してその詳細な説明は省略する。この基準電圧発生回路27'の出力は波形整形回路69に供給され、負の温度依存性を持ち、且つ送信データDATAに対応した電圧 V_{mod} を出力するようになっている。この電圧 V_{mod} は、温度依存性が電圧制御発振器24の上記入力端子V2に接続された電圧可変容量素子の2端子間の電位差の温度依存性より小さい電圧と、この電圧可変容量素子の2端子間の電位差との和に設定される。

【0104】

すなわち、オペアンプ48の反転入力端(−)には、基準電圧発生回路27'から出力される温度依存性のない(または小さい)基準電圧 V_{ref1} が供給される。このオペアンプ48の出力端には、Pチャネル型MOSトランジスタQ20、Q21のゲートが接続される。上記MOSトランジスタQ20のソースは電源 V_{DD} に接続され、ドレインはオペアンプ48の非反転入力端(+)に接続される。また、上記MOSトランジスタQ20のドレインと接地点 V_{ss} 間には、ダイオードD6のアノード、カソード間が接続される。上記MOSトランジスタQ21のソースは電源 V_{DD} に接続され、ドレインはNチャネル型MOSトランジスタQ62のドレイン及びゲートに接続される。このMOSトランジスタQ62のソースは、接地点 V_{ss} に接続される。Nチャネル型MOSトランジスタQ63のゲートは上記MOSトランジスタQ62のゲートに共通接続され、ドレインはPチャネル型MOSトランジスタQ22のドレインに接続される。上記MOSトランジスタQ22のソースは電源 V_{DD} に接続され、ゲートは上記オペアンプ30の出力端に接続される。上記MOSトランジスタQ22とQ63のドレイン共通接続点と接地点 V_{ss} 間には、抵抗R21が接続される。

【0105】

Pチャネル型MOSトランジスタQ23のソースは電源 V_{DD} に接続され、ゲートは上記オペアンプ30の出力端に接続される。このMOSトランジスタQ23のドレインには、Pチャネル型MOSトランジスタQ24のソースが接続され、そのゲートにはデータ“1”に対応する信号の反転信号DATA1Bが供給される。上記MOSトランジスタQ24のドレインには、Nチャネル型MOSトランジスタQ25のドレイン、MOSトランジスタQ22とQ63のドレイン共通接続点、及び抵抗R21、R22の一端が接続される。

。上記MOSトランジスタQ25のゲートには、データ“0”に対応する信号DATA0が供給される。このMOSトランジスタQ25のソースと接地点V_{ss}間には、Nチャネル型MOSトランジスタQ26のドレイン、ソース間が接続される。このMOSトランジスタQ26のゲートには、Pチャネル型MOSトランジスタQ27とNチャネル型MOSトランジスタQ28のドレイン共通接続点が接続される。上記MOSトランジスタQ27のソースは電源V_{DD}に接続され、ゲートは上記オペアンプ30の出力端に接続される。また、上記MOSトランジスタQ28のソースは接地点V_{ss}に接続され、ゲートはそのドレインに接続される。

【0106】

上記抵抗R22の他端と接地点V_{ss}間には、容量素子（キャパシタ）C7が接続され、この抵抗R22の他端から電圧V_{mod}を出力するようになっている。

【0107】

上記のような構成において、MOSトランジスタQ21のソース、ドレイン間を流れる電流をI_f、MOSトランジスタQ22のソース、ドレイン間を流れる電流をI_{ref}、MOSトランジスタQ23のソース、ドレイン間を流れる電流をb×I_{ref}、及びMOSトランジスタQ26のソース、ドレイン間を流れる電流をa×I_{ref}とそれぞれ定義する。また、抵抗R21の抵抗値をr21とする。

【0108】

PLLロック中には、信号DATA0=“L”レベル、信号DATA1B=“H”レベルとなっており、MOSトランジスタQ25、Q24がともにオフするので、電圧V_{mod}は

$$V_{mod} = r21 (I_f - I_{ref}) (=V_f - V_{ref})$$

となっている。従って、電圧可変容量素子の動作点はC-V特性の温度変動に連動して相対的に不変となる（図12（a）、（b））。

【0109】

PLLがロックし、周波数変調された信号RFoutを出力し始めると、“1”データ時の電圧V_{mod}はr21（I_{ref}+b×I_{ref}-I_f）、“0”データ時の電圧V_{mod}はr21（I_{ref}-b×I_{ref}-I_f）に設定される。ここでbは温度依存性が事実上無視できる電流変換比であり0<b<1である。

【0110】

従って、周波数に変調を与える電圧変動量dV=±（b×r21×I_{ref}）とでき、抵抗R21に温度依存性の小さなものを用いることで極めて小さな電圧変動に抑えることができる。

【0111】

【第6の実施の形態】

図13は、この発明の第6の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図11に示したロウパスフィルタの他の構成例を示している。すなわち、図11に示した回路では、抵抗R21をMOSトランジスタQ21のドレインと接地点V_{ss}間に設けたのに対し、MOSトランジスタQ22のドレインと接地点V_{ss}間に設けている。そして、MOSトランジスタQ21のドレインを、MOSトランジスタQ26のゲートに接続している。この回路構成では、電圧V_{mod}は、温度依存性が電圧制御発振器24の上記入力端子V2に接続された電圧可変容量素子の2端子間の電位差の温度依存性より小さい電圧に設定される。他の基本的な構成は、図11と同様であるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0112】

上記のような回路構成において、MOSトランジスタQ21のソース、ドレイン間を流れる電流をb×I_f、MOSトランジスタQ22のソース、ドレイン間を流れる電流をI_{ref}、MOSトランジスタQ23のソース、ドレイン間を流れる電流をb×I_f+e×I_{ref}、MOSトランジスタQ27のソース、ドレイン間を流れる電流をe×I_{ref}、及びMOSトランジスタQ26のソース、ドレイン間を流れる電流をb×I_f+e×I

r_{ref} とそれぞれ定義する。また、抵抗 R_{21} の抵抗値を r_{21} とする。

【0113】

PLLロック中には、信号 $DATA0 = "L"$ レベル、信号 $DATA1B = "H"$ レベルとなっており、MOSトランジスタ Q_{25} 、 Q_{24} がオフし、電圧 $V_{mod} = r_{21} \times I_{ref}$ ($= V_{ref}$) となっている。従って、電圧可変容量素子の動作点は $C-V$ 特性の温度変動に連動せず相対的に変動する。

【0114】

PLLがロックし、周波数変調された信号 RF_{out} を出力始めると、“1”データ時の電圧 V_{mod} は $r_{21} (I_{ref} + b \times I_f + e \times I_{ref})$ 、“0”データ時の電圧 V_{mod} は $r_{21} (I_{ref} - b \times I_f - e \times I_{ref})$ に設定される。ここで b 、 e は温度依存性が事実上無視できる電流変換比であり、 $0 < b$ 、 $0 \leq e$ である。従って、周波数に変調を与える電圧変動量 $dV = \pm r_{21} (b \times I_f + e \times I_{ref})$ とでき、温度の上昇とともに dV の絶対値を下げるができる。ここで、抵抗 R_{21} には温度依存性の小さなものを用いている。その結果、電圧可変容量素子の温度依存性を補償した周波数変調を行うことができる。

【0115】

なお、上述した第5、第6の実施の形態において、上記電圧制御発振器24には、図38に示した従来と同様な回路構成のものを適用でき、電圧制御発振器24における変調用の電圧可変容量素子 C_{mod1} 、 C_{mod2} には図42(a)、(b)の構造を用いることができる。

【0116】

〔第7の実施の形態〕

図14は、この発明の第7の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図1に示した通信システムにおける電圧制御発振器24の構成例を示している。この電圧制御発振器24は、チャネル選択用の電圧可変容量素子（周波数チャネル用バラクタダイオードまたはバリキャップダイオード） C_{ch1} 、 C_{ch2} 、周波数変調用の電圧可変容量素子（変調用バラクタダイオードまたはバリキャップダイオード） C_{v1} 、 C_{v2} 、線形キャパシタ C_{mim1} 、 C_{mim2} 、インダクタンス素子 L_2 、抵抗 R_{23} 、 R_{24} 及びインバータ71、72等を含んで構成されている。上記電圧可変容量素子 C_{ch1} 、 C_{ch2} の一端（カソード）は入力端子 V_1 に共通接続され、フェイズ・ロックト・ループ26から出力される制御電圧 V_{ch} （チャネル周波数に対応する電圧、例えば1.5V）が印加される。この制御電圧 V_{ch} は、電源 V_{DD} や温度 $Temp$ が変動しても周波数が所望の範囲内になる値に調整される。

【0117】

また、上記電圧可変容量素子 C_{v1} 、 C_{v2} の一端（カソード）は入力端子 V_2 に共通接続され、ロウパスフィルタ23から出力される電圧 V_{mod} が印加される。この電圧 V_{mod} は、発振周波数を微調整するためのもので、例えば1.25Vである。上記電圧可変容量素子 C_{v1} 、 C_{v2} の他端（アノード）には、線形キャパシタ C_{mim1} 、 C_{mim2} の一方の電極及び抵抗 R_{23} 、 R_{24} の一端が接続される。これら抵抗 R_{23} 、 R_{24} の他端には、バイアス回路73からバイアス電圧 V_{bias} が供給される。このバイアス回路73から出力されるバイアス電圧 V_{bias} の温度依存性は、上記電圧可変容量素子 C_{v1} のアノード、カソード間の電位差の温度依存性及び上記電圧可変容量素子 C_{v2} のアノード、カソード間の電位差の温度依存性にそれぞれ近似している。

【0118】

このバイアス電圧 V_{bias} の供給によって、上記抵抗 R_{23} は上記キャパシタ C_{mim1} の一方の電極と上記電圧可変容量素子 C_{v1} の他端の電位を制御する制御回路として働き、上記抵抗 R_{24} は上記キャパシタ C_{mim2} の一方の電極と上記電圧可変容量素子 C_{v2} の他端の電位を制御する制御回路として働く。そして、抵抗 R_{24} から上記キャパシタ C_{mim2} の一方の電極及び上記電圧可変容量素子 C_{v2} のアノードに与えられる電圧と、上記バイアス回路73から出力されるバイアス電圧 V_{bias} との差電圧の温度依

存性は、上記電圧可変容量素子 C_{v1} のアノード、カソード間の電位差の温度依存性及び上記電圧可変容量素子 C_{v2} のアノード、カソード間の電位差の温度依存性にそれぞれ近似している。

【0119】

上記電圧可変容量素子 C_{ch1} の他端（アノード）と線形キャパシタ C_{mim1} の他方の電極は、発振信号 VCO_{out1} を出力する出力端子 $out1$ に接続される。一方、上記電圧可変容量素子 C_{ch2} の他端（アノード）と線形キャパシタ C_{mim2} の他方の電極は、発振信号 VCO_{out2} を出力する出力端子 $out2$ に接続される。

【0120】

上記出力端子 $out1$, $out2$ 間には、インダクタンス素子 $L2$ が接続されている。また、上記インバータ 71 の入力端は出力端子 $out1$ に接続され、出力端は出力端子 $out2$ に接続される。上記インバータ 72 の入力端は出力端子 $out2$ に接続され、出力端は出力端子 $out1$ に接続される。この出力端子 $out1$, $out2$ から出力される発振信号 VCO_{out1} , VCO_{out2} は、電圧 V_{cm} を中心にして $0.4V$ から $1.2V$ の範囲で振れる電圧である。

【0121】

この図 14 に示す電圧制御発振器においては、周波数変調用の電圧可変容量素子（バラクタダイオード） C_{v1} , C_{v2} の 2 端子間電位差 V_{eff} は、「 $V_{eff} = V_{bias} - V_{mod}$ 」で表される。

【0122】

上記構成にあっては、電圧可変容量素子 C_{v1} , C_{v2} が線形キャパシタ C_{mim1} , C_{mim2} によって、電圧制御発振器 24 の動作ノード $out1$, $out2$ から分離されているので、発振信号 VCO_{out1} , VCO_{out2} の電位変動で電圧可変容量素子 C_{v1} , C_{v2} の容量値が変動することはない。

【0123】

図 15 は、上記図 14 に示した電圧制御発振器 24 におけるバイアス回路 73 の構成例を示している。このバイアス回路 73 は、温度に対して負の依存性を持ったバイアス電圧 V_{bias1} を発生し、その温度係数をバラクタダイオード C_{v1} , C_{v2} の $C-V$ 特性に近似するものである。上記バイアス回路 73 は、P チャネル型 MOS トランジスタ $Q30 \sim Q33$ 、N チャネル型 MOS トランジスタ $Q34 \sim Q38$ 、ダイオード $D7$, $D8-1$, $D8-2$, ..., $D8-n$ 、抵抗 $R25$, $R35$ 及びオペアンプ 49 等を含んで構成されている。

【0124】

上記 MOS トランジスタ $Q30$, $Q31$ のソースは電源 V_{DD} に接続され、ゲートは共通接続され、このゲート共通接続点が MOS トランジスタ $Q31$ のドレインに接続される。上記 MOS トランジスタ $Q30$, $Q31$ のドレインには、MOS トランジスタ $Q34$, $Q35$ のドレインがそれぞれ接続される。これら MOS トランジスタ $Q34$, $Q35$ のゲートは MOS トランジスタ $Q30$ のドレインに共通接続される。

【0125】

上記 MOS トランジスタ $Q34$ のソースと接地点 V_{ss} 間には、ダイオード $D7$ のアノード、カソード間が接続される。また、上記 MOS トランジスタ $Q35$ のソースには抵抗 $R35$ の一端が接続される。この抵抗 $R35$ の他端と接地点 V_{ss} 間には、ダイオード $D8-1$, $D8-2$, ..., $D8-n$ のアノード、カソード間が並列接続される。

【0126】

MOS トランジスタ $Q32$ のソースは電源 V_{DD} に接続され、ゲートは MOS トランジスタ $Q30$, $Q31$ のゲートに共通接続される。この MOS トランジスタ $Q32$ のドレインには、MOS トランジスタ $Q36$ のドレイン及びゲートが接続される。上記 MOS トランジスタ $Q36$ のゲートは MOS トランジスタ $Q37$ のゲートに共通接続され、そのソースは接地点 V_{ss} に接続される。

【0127】

この回路は P T A T 回路と呼ばれ、温度に比例した電流 I_{ptat} を生成し、MOS トランジスタ Q 3 7 のドレイン、ソース間に流すためのものである。

【0128】

上記 MOS トランジスタ Q 3 3 のソースは電源 V_{DD} に接続され、ドレインは上記 MOS トランジスタ Q 3 7 のドレインに接続され、ゲートにバイアス電圧 p_{bias} が供給される。上記 MOS トランジスタ Q 3 7 のソースは、接地点 V_{ss} に接続される。

【0129】

上記 MOS トランジスタ Q 3 3, Q 3 7 のドレイン共通接続点は、オペアンプ 4 9 の非反転入力端 (+) に接続される。このオペアンプ 4 9 の非反転入力端 (+) と接地点 V_{ss} 間には、抵抗 R_{25} が接続される。また、この非反転入力端 (+) には、MOS トランジスタ Q 3 8 のゲートが接続され、この MOS トランジスタ Q 3 8 のソース、ドレインは接地点 V_{ss} に接続される。そして、上記オペアンプ 4 9 の出力端が反転入力端 (-) に接続され、このオペアンプ 4 9 の出力端からバイアス電圧 V_{bias1} を得るようになっている。

【0130】

このバイアス電圧 V_{bias1} は、上記 MOS トランジスタ Q 3 3 のソース、ドレイン間を流れる電流を I_{ref} 、上記 MOS トランジスタ Q 3 7 のドレイン、ソース間を流れる電流を I_{ptat} とすると、

$$V_{bias1} = V_{ref} - V_{ptat}$$
で表される。

【0131】

このような構成のバイアス回路では、温度係数をバラクタダイオード C_{v1} , C_{v2} の C-V 特性に近似することができる。

【0132】

図 1 6 は、上記バイアス回路 7 3 の他の構成例を示している。このバイアス回路も図 1 5 に示したバイアス回路と同様に、温度に対して負の依存性を持ったバイアス電圧 V_{bias2} を発生し、その温度係数をバラクタダイオード C_{v1} , C_{v2} の C-V 特性に近似するものである。このバイアス回路 7 3 は、P チャネル型 MOS トランジスタ Q 4 0 ~ Q 4 4、N チャネル型 MOS トランジスタ Q 3 8, Q 4 5, Q 4 6、ダイオード D 1 0、抵抗 R_{25} 、可変抵抗 R_{26} 、スイッチ SW 4, SW 5、及びオペアンプ 4 9, 5 0 等を含んで構成されている。

【0133】

上記 MOS トランジスタ Q 4 0 のソースは電源 V_{DD} に接続され、ドレインはダイオード D 1 0 のアノード及びオペアンプ 5 0 の反転入力端 (-) に接続され、ゲートにバイアス電圧 p_{bias} が供給される。上記ダイオード D 1 0 のカソードは接地点 V_{ss} に接続される。上記ダイオード D 1 0 には、バラクタダイオード C_{v1} , C_{v2} と同じ構造の P N 接合ダイオードを用いる。

【0134】

上記オペアンプ 5 0 の出力端には、MOS トランジスタ Q 4 1, Q 4 2 のゲートが接続される。この MOS トランジスタ Q 4 1 のソースは電源 V_{DD} に、ドレインはオペアンプ 5 0 の非反転入力端 (+) にそれぞれ接続される。また、MOS トランジスタ Q 4 2 のソースは電源 V_{DD} に、ドレインはオペアンプ 4 9 の非反転入力端 (+) にそれぞれ接続される。上記 MOS トランジスタ Q 4 1 のドレインと接地点 V_{ss} 間には、可変抵抗 R_{26} が接続される。

【0135】

上記オペアンプ 4 9 の非反転入力端 (+) と電源 V_{DD} 間には、スイッチ SW 4 及び MOS トランジスタ Q 4 3 のドレイン、ソース間が接続される。この MOS トランジスタ Q 4 3 のゲートには、バイアス電圧 p_{bias} が印加される。また、上記オペアンプ 4 9 の非反転入力端 (+) と接地点 V_{ss} 間には、スイッチ SW 5 及び MOS トランジスタ Q 4 6 のドレイン、ソース間が接続される。この MOS トランジスタ Q 4 6 のゲートには、M

OSトランジスタQ45のゲート及びドレインが接続される。MOSトランジスタQ45のドレインと電源 V_{DD} 間には、MOSトランジスタQ44のドレイン、ソース間が接続される。上記MOSトランジスタQ45のソースは接地点 V_{SS} に接続され、上記MOSトランジスタQ44のゲートには、バイアス電圧 p_{bias} が印加される。上記スイッチSW4, SW5は、温度依存性の調整用であり、これらのスイッチSW4, SW5の選択的なオン/オフにより温度依存性を可変できるようになっている。

【0136】

更に、上記オペアンプ49の非反転入力端(+)と接地点 V_{SS} 間には、抵抗R25が接続される。また、この非反転入力端(+)には、MOSトランジスタQ38のゲートが接続され、このMOSトランジスタQ38のソース、ドレインは接地点 V_{SS} に接続される。そして、上記オペアンプ49の出力端が反転入力端(-)に接続され、このオペアンプ49の出力端からバイアス電圧 V_{bias2} を得るようになっている。

【0137】

上記バイアス電圧 V_{bias2} は、上記MOSトランジスタQ40のソース、ドレイン間を流れる電流を I_{ref} (例えば $1\mu A$)、上記MOSトランジスタQ42のドレイン、ソース間を流れる電流を $I_{bias}(V_f)$ とすると、スイッチSW4, SW5のスイッチング状態に応じて、

$$V_{bias2} = V_f$$

$$V_{bias2} = V_f + a \times V_{ref} \quad (a \times V_f)$$

$$V_{bias2} = V_f - a \times V_{ref} \quad (V_f + V_{ref})$$

の3つの電圧値になる。

【0138】

このような構成のバイアス回路であっても、温度係数をバラクタダイオード C_{v1} , C_{v2} のC-V特性に近似することができる。しかも、バラクタダイオード C_{v1} , C_{v2} と同じ構造のPN接合ダイオードD10を用いているので、C-V特性の変動と良く一致させることが可能である。

【0139】

図17は、上記図14に示した電圧制御発振器24に電圧 V_{mod} を与える電圧発生回路を示している。この電圧発生回路は、抵抗R27~R30、オペアンプ63, 66、バッファ64及びフィルタ(G_m-C filter)65等を含んで構成されている。ここで、上記フィルタ65は、図8に示した回路における gm アンプ46-1~46-5と容量素子C1~C6とからなる回路部に対応するものである。

【0140】

送信データDATAは、バッファ64に入力されて増幅され、フィルタ65に供給される。このバッファ64には、オペアンプ63の出力電圧(例えば2V)が電源として与えられる。このオペアンプ63の非反転入力端(+)には基準電圧 V_{ref} (例えば1V)が供給され、出力端と反転入力端(-)間に抵抗R28が接続される。上記オペアンプ63の反転入力端(-)と接地点 V_{SS} 間には、抵抗R27が接続される。

【0141】

上記フィルタ65の出力端には、抵抗R29の一端が接続される。この抵抗R29の他端はオペアンプ66の反転入力端(-)に接続される。このオペアンプ66の非反転入力端(+)には上記基準電圧 V_{ref} (例えば1V)が供給され、出力端と反転入力端(-)間に抵抗R30が接続されている。そして、上記オペアンプ66の出力端から電圧 V_{mod} を出力するようになっている。

【0142】

この電圧発生回路の出力電圧 V_{mod} は、温度依存性がない(または小さい)基準電圧 V_{ref} を基準にした一定振幅の電圧波形となる。

【0143】

なお、上述した説明では電圧 V_{mod} の温度依存性を小さくし、バイアス電圧 V_{bias} に温度依存を持たせてバラクタダイオード C_{v1} , C_{v2} のC-V特性の温度依存性を補

償するようにしているが、両者に温度依存性を持たせ、その差電圧がC-V特性の温度依存性を補償するようにしても良い。また、電圧 V_{mod} にのみ温度依存性を持たせてバイアス電圧 V_{bias} には持たせないようにしても良い。

【0144】

[第8の実施の形態]

図18は、この発明の第8の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図1に示した通信システムにおける電圧制御発振器24の別の構成例を示している。図18に示す回路が図14に示した回路と異なるのは、抵抗 R_{23} 、 R_{24} の他端を接地点 V_{ss} に接続している点にある。換言すれば、バイアス電圧 V_{bias} を接地電位にしている。他の回路構成は図14に示した回路と同様であるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0145】

この図18に示す電圧制御発振器にあっては、周波数変調用の電圧可変容量素子（バラクタダイオード） C_{v1} 、 C_{v2} の2端子間電位差 V_{eff} は、「 $V_{eff} = V_{mod} - V_{ss}$ （ $V_{ss} - V_{mod}$ ）」で表される。

【0146】

図19は、上記図18に示した電圧制御発振器24に電圧 V_{mod} を与える電圧発生回路を示している。ここでは、最終段の増幅回路（オペアンプ）の基準電圧に図15または図16に示したバイアス回路の出力電圧 V_{bias1} または V_{bias2} を供給して温度補償された電圧 V_{mod} を発生するようにしている。

【0147】

この電圧発生回路は、図17に示した回路における出力段に、抵抗 R_{31} 、 R_{32} 及びオペアンプ67を付加し、温度依存性を持たせたものである。フィルタ65の出力をオペアンプ66に供給して電圧を発生するまでは図17に示した回路と同様であるので同一部分に同じ符号を付してその詳細な説明は省略する。

【0148】

上記オペアンプ66の出力端には抵抗 R_{31} の一端が接続され、この抵抗 R_{31} の他端はオペアンプ67の反転入力端（-）に接続される。上記オペアンプ67の非反転入力端（+）には、上記図15または図16に示したバイアス回路から出力されるバイアス電圧 V_{bias1} または V_{bias2} が供給される。このオペアンプ67の出力端と反転入力端（-）間には抵抗 R_{32} が接続され、出力端から電圧 V_{mod} を出力する。

【0149】

上記構成の電圧発生回路は、図17に示した電圧発生回路が温度依存性がない（または小さい）基準電圧 V_{ref} を基準にした一定振幅の出力電圧 V_{mod} を出力するのに対し、温度に対して負の依存性を持ったバイアス電圧 V_{bias1} 、 V_{bias2} を利用して負の温度依存性を持った電圧 V_{mod} を出力する。この負の温度依存性を持った電圧 V_{mod} を電圧制御発振器24に供給することにより、変調周波数が温度に依存して変動した時に、電圧 V_{mod} を変化させて電圧制御発振器24から出力される発振信号 VCO_{out1} 、 VCO_{out2} の周波数が変動するのを抑制できる。

【0150】

従って、このような構成であっても、上述した各実施の形態と同様に、変調周波数の温度変動による隣接する通信チャネルに対するノイズを抑えることができる。

【0151】

[第9の実施の形態]

図20（a）、（b）はそれぞれ、上記図14及び図18に示した電圧制御発振器で用いられる電圧可変容量素子 C_{v1} 、 C_{v2} の構成例を示している。図20（a）は回路図、図20（b）はその断面構成図である。これらの電圧可変容量素子 C_{v1} 、 C_{v2} は、MOSキャパシタのC-V特性を利用したものである。すなわち、P型半導体基板（ P_{sub} ）81にN型のウェル領域（ N_{well} ）82が形成され、このウェル領域82中にMOSトランジスタのソース、ドレイン領域として働く P^+ 型の不純物拡散領域83、8

4, 85とN⁺型の不純物拡散領域86-1, 86-2が形成される。上記ソース, ドレイン領域83, 84間の基板81上に、ゲート絶縁膜87-1が形成され、このゲート絶縁膜87-1上にゲート電極88-1が形成される。また、上記ソース, ドレイン領域84, 85間の基板81上に、ゲート絶縁膜87-2が形成され、このゲート絶縁膜87-2上にゲート電極88-2が形成される。そして、上記不純物拡散領域86-1, 86-2には、電圧V_{mod}が印加される。

【0152】

図21は、上記図20(a), (b)に示したMOSキャパシタのC-V特性図である。図示するように、温度の上昇に伴って実線C(LT)から破線C(HT)で示すようにV-C特性がシフト(シフト量dV_t)する。

【0153】

なお、上記図20(a), (b)に示したMOSキャパシタを用いる場合には、図6(a)の回路で用いたD5として電圧可変容量素子を用いることはできない。この場合には、製造時のばらつきを低減するために図6(b)の抵抗R16にトリミング機能を有するものを用いるなどの対策が必要になる。

【0154】

また、上記バラクタダイオード(電圧可変容量素子)Cv1, Cv2に、上記MOSキャパシタではなく、図42(b)に示したようなPN接合ダイオードを用いても良い。この場合には、製造時のばらつきによる影響はほとんど無視できる。

【0155】

[第10の実施の形態]

図22乃至図26はそれぞれ、この発明の第10の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのものである。図22は電圧制御発振器の別の構成例を示すブロック図であり、この電圧制御発振器は、PN接合ダイオード型のバラクタ(周波数変調用とチャネル選択用)101a-1, 101a-2、インダクタ102、及びLCタンクで消費される電磁エネルギーを補給する負性コンダクタ素子103等を含んで構成されている。

【0156】

図23は、上記図22に示した電圧制御発振器の具体的な構成例を示す回路図である。周波数変調用のバラクタ101a-1は、PN接合ダイオードD10, D11、線形キャパシタC_{mim3}, C_{mim4}及び抵抗R40, R41を含んで構成されている。上記ダイオードD10, D11のカソードは、入力端子V2に共通接続される。これらダイオードD10, D11のアノードにはキャパシタC_{mim3}, C_{mim4}の一方の電極が接続され、キャパシタC_{mim3}, C_{mim4}の他方の電極は出力端子out1, out2にそれぞれ接続される。また、ダイオードD10, D11のアノードには抵抗R40, R41の一端がそれぞれ接続され、これらの抵抗R40, R41の他端にバイアス電圧V_{mod bias}が供給される。上記抵抗R40は上記キャパシタC_{mim3}の一方の電極と上記ダイオードD10のアノードの電位を制御する制御回路として働き、上記抵抗R41は上記キャパシタC_{mim4}の一方の電極と上記ダイオードD11のアノードの電位を制御する制御回路として働く。

【0157】

チャネル選択用のバラクタ101a-2も周波数変調用のバラクタ101a-1と同様な回路構成になっており、PN接合ダイオードD12, D13、線形キャパシタC_{mim5}, C_{mim6}及び抵抗R42, R43を含んで構成される。上記ダイオードD12, D13のカソードは、入力端子V1に共通接続される。これらダイオードD12, D13のアノードにはキャパシタC_{mim5}, C_{mim6}の一方の電極が接続され、キャパシタC_{mim5}, C_{mim6}の他方の電極は出力端子out1, out2にそれぞれ接続される。また、ダイオードD12, D13のアノードには抵抗R42, R43の一端が接続され、これらの抵抗R42, R43の他端にバイアス電圧V_{bias}が供給される。上記抵抗R42は上記キャパシタC_{mim5}の一方の電極と上記ダイオードD12のアノードの電

位を制御する制御回路として働き、上記抵抗 R_{43} は上記キャパシタ C_{mim6} の一方の電極と上記ダイオード D_{13} のアノードの電位を制御する制御回路として働く。

【0158】

上記インダクタ L_{102} は、インダクタンス素子 L_{3} 、 L_{4} で構成されている。インダクタンス素子 L_{3} は出力端子 $out1$ とノード $N1$ 間に接続され、インダクタンス素子 L_{4} はノード $N1$ と出力端子 $out2$ 間に接続される。このノード $N1$ は電源やグランドに接続しても良いし、フローティングのままでも良い。

【0159】

上記負性コンダクタ素子 103 は、例えば図 24 (a) ~ (c) に示すように構成されている。(a) 図は CMOS 型と呼ばれるもので、2つのインバータ 110 、 111 で構成される。インバータ 110 の入力端は出力端子 $out1$ に接続され、出力端は出力端子 $out2$ に接続される。インバータ 111 の入力端は出力端子 $out2$ に接続され、出力端は出力端子 $out1$ に接続される。

【0160】

(b) 図は NMOS 型と呼ばれるもので、一対の N チャネル型 MOS トランジスタ Q_{50} 、 Q_{51} で構成される。上記 MOS トランジスタ Q_{50} のドレインは出力端子 $out1$ に接続され、ソースは接地点 V_{ss} に接続され、ゲートは出力端子 $out2$ に接続される。上記 MOS トランジスタ Q_{51} のドレインは出力端子 $out2$ に接続され、ソースは接地点 V_{ss} に接続され、ゲートは出力端子 $out1$ に接続される。

【0161】

(c) 図は PMOS 型と呼ばれるもので、一対の P チャネル型 MOS トランジスタ Q_{52} 、 Q_{53} で構成される。上記 MOS トランジスタ Q_{52} のソースは電源 V_{DD} に接続され、ドレインは出力端子 $out1$ に接続され、ゲートは出力端子 $out2$ に接続される。上記 MOS トランジスタ Q_{53} のソースは電源 V_{DD} に接続され、ドレインは出力端子 $out2$ に接続され、ゲートは出力端子 $out1$ に接続される。

【0162】

上記のような構成において、バイアス電圧 V_{bias} 、 $V_{modbias}$ には、それぞれの周波数の温度依存性が所望の値に収まるように温度依存性を持たせている。上記バイアス電圧 V_{bias} は、例えば図 15 や図 16 に示したバイアス回路で発生することができる。より簡単には、図 25 に示すようなバイアス回路で発生することもできる。図 25 に示す回路は、電流源 112 と PN 接合型ダイオード D_{14} で構成されている。電流源 112 は電源 V_{DD} に接続され、この電流源 112 からダイオード D_{14} のアノードに電流が供給されるようになっている。上記 PN 接合型ダイオード D_{14} のカソードは接地点 V_{ss} に接続され、このダイオード D_{14} のアノードからバイアス電圧 V_{bias} を出力する。電圧制御発振器中で PN 接合ダイオードを用いるので、同じ素子を用いるのが望ましい。

【0163】

一方、上記バイアス電圧 $V_{modbias}$ は、例えば図 15、図 16 及び図 25 に示したバイアス回路の出力電圧を例えば図 17 や図 19 に示した電圧発生回路に供給して、制御電圧 V_{mod} に温度依存性を持たせれば良い。

【0164】

図 26 (a)、(b) はそれぞれ、バラクタの C-V 特性の温度依存性とバイアス回路の I-V 特性を示している。(a) 図に示すように、C-V 特性は温度とともに近似的に横方向に並行移動する。その変化電圧 dV をバイアス電圧が補償する。また、(b) 図に示すように、動作電流によって温度変動電圧が変わってしまう。 dV になるようなバイアス電流で動作させることによって所望の補償を行うことができる。

【0165】

[第 11 の実施の形態]

図 27 乃至図 31 はそれぞれ、この発明の第 11 の実施の形態に係る周波数直接変調装置及び通信システムについて説明するための図である。図 27 は電圧制御発振器の別の構

成例を示すブロック図であり、この電圧制御発振器は、MOS型のバラクタ（周波数変調用とチャンネル選択用）101b-1、101b-2、インダクタ102、及びLCタンクで消費される電磁エネルギーを補給する負性コンダクタ素子103を含んで構成されている。

【0166】

図28は、上記図27に示した電圧制御発振器の具体的な構成例を示す回路図である。周波数変調用のバラクタ101b-1は、Pチャネル型MOSトランジスタQ54、Q55、線形キャパシタCmim3、Cmim4及び抵抗R40、R41を含んで構成されている。上記MOSトランジスタQ54、Q55のバックゲートは、入力端子V2に共通接続される。これらMOSトランジスタQ54、Q55のゲートにはキャパシタCmim3、Cmim4の一方の電極が接続され、キャパシタCmim3、Cmim4の他方の電極は出力端子out1、out2にそれぞれ接続される。また、MOSトランジスタQ54、Q55のゲートには抵抗R40、R41の一端がそれぞれ接続され、これらの抵抗R40、R41の他端にバイアス電圧Vmodbiasが供給される。上記抵抗R40は上記キャパシタCmim3の一方の電極とMOSトランジスタQ54のゲートの電位を制御する制御回路として働き、上記抵抗R41は上記キャパシタCmim4の一方の電極とMOSトランジスタQ55のゲートの電位を制御する制御回路として働く。

【0167】

チャンネル選択用のバラクタ101b-2も周波数変調用のバラクタ101b-1と同様な回路構成になっており、MOSトランジスタQ56、Q57、線形キャパシタCmim5、Cmim6及び抵抗R42、R43を含んで構成される。上記MOSトランジスタQ56、Q57のバックゲートは、入力端子V1に共通接続される。これらMOSトランジスタQ56、Q57のゲートにはキャパシタCmim5、Cmim6の一方の電極が接続され、キャパシタCmim5、Cmim6の他方の電極は出力端子out1、out2にそれぞれ接続される。また、MOSトランジスタQ56、Q57のゲートには抵抗R42、R43の一端がそれぞれ接続され、これらの抵抗R42、R43の他端にバイアス電圧Vbiasが供給される。上記抵抗R42は上記キャパシタCmim5の一方の電極とMOSトランジスタQ56のゲートの電位を制御する制御回路として働き、上記抵抗R43は上記キャパシタCmim6の一方の電極とMOSトランジスタQ57のゲートの電位を制御する制御回路として働く。上記MOSトランジスタQ54～Q57は、キャパシタとして用いるので、ソース／ドレインはフローティング状態になっている。あるいはソース／ドレイン領域を形成せず、単なるMOSキャパシタで構成しても良い。

【0168】

上記インダクタ102は、インダクタンス素子L3、L4で構成されている。インダクタンス素子L3は出力端子out1とノードN1間に接続され、インダクタンス素子L4はノードN1と出力端子out2間に接続される。このノードN1は電源やグランドに接続しても良いし、フローティングのままでも良い。

【0169】

上記負性コンダクタ素子103は、例えば図24(a)～(c)に示したように構成されている。

【0170】

上記のような構成において、バイアス電圧Vbias、Vmodbiasには、それぞれの周波数の温度依存性が所望の値に収まるように温度依存性を持たせている。これらのバイアス電圧Vbias、Vmodbiasは、例えば図15や図16に示したバイアス回路で発生することができる。より簡単には、図29(a)、(b)に示すような回路で構成することもできる。(a)図に示すバイアス回路は、電流源113とPチャネル型MOSトランジスタQ58で構成されている。電流源113は電源VDDに接続され、この電流源113からMOSトランジスタQ58のソースに電流が供給されるようになっている。上記MOSトランジスタQ58のドレイン及びゲートは接地点Vssに接続され、このMOSトランジスタQ58のソースからバイアス電圧Vbiasを出力する。

【0171】

また、(b) 図に示すバイアス回路は、電流源 114 と P チャネル型 MOS トランジスタ Q59 で構成されている。MOS トランジスタ Q59 のソースは電源 V_{DD} に接続され、この MOS トランジスタ Q59 のドレイン及びゲートと接地点 V_{SS} 間に電流源 114 が接続される。そして、上記 MOS トランジスタ Q59 のドレインと電流源 114 との接続点からバイアス電圧 V_{bias} を出力する。電圧制御発振器中で MOS トランジスタを用いるので、同じ素子を用いるのが望ましい。

【0172】

なお、上記図 29 (a), (b) において、MOS トランジスタ Q58, Q59 のバックゲートはそのソースにそれぞれ接続されている。

【0173】

図 30 (a), (b) 及び図 31 (a), (b) はそれぞれ、図 29 (a), (b) に示したバイアス回路を用いた場合の、バラクタの C-V 特性の温度依存性とバイアス回路の I-V 特性を示している。(a) 図に示すように、C-V 特性は温度とともに近似的に横方向に並行移動する。その変化電圧 dV をバイアス電圧が補償する。また、(b) 図に示すように、動作電流によって温度変動電圧が変わってしまう。 dV になるようなバイアス電流で動作させることによって所望の補償を行うことができる。

【0174】

[第 12 の実施の形態]

図 32 及び図 33 はそれぞれ、この発明の第 12 の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、電圧制御発振器の更に別の構成例を示すブロック図及び回路図である。図 32 に示す電圧制御発振器は、MOS 型のバラクタ (周波数変調用) 101b、PN 接合ダイオード型のバラクタ (チャネル選択用) 101a、インダクタ 102、及び LC タンクで消費される電磁エネルギーを補給する負性コンダクタ素子 103 を含んで構成されている。

【0175】

本実施の形態は、第 10 及び第 11 の実施の形態における MOS 型のバラクタ (周波数変調用) 101b、PN 接合ダイオード型のバラクタ (チャネル選択用) 101a を組み合わせたものであるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0176】

このような構成であっても、基本的には第 10 及び第 11 の実施の形態に示した電圧制御発振器と同様な動作を行い、同じ効果が得られる。

【0177】

[第 13 の実施の形態]

図 34 及び図 35 はそれぞれ、この発明の第 13 の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、電圧制御発振器の更に別の構成例を示すブロック図及び回路図である。図 34 に示す電圧制御発振器は、PN 接合ダイオード型のバラクタ (周波数変調用) 101a、MOS 型のバラクタ (チャネル選択用) 101b、インダクタ 102、及び LC タンクで消費される電磁エネルギーを補給する負性コンダクタ素子 103 を含んで構成されている。

【0178】

本実施の形態は、第 12 の実施の形態と同様に、第 10 及び第 11 の実施の形態における MOS 型のバラクタ (周波数変調用) 101b、PN 接合ダイオード型のバラクタ (チャネル選択用) 101a を組み合わせたものであるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0179】

このような構成であっても、基本的には第 10 乃至第 12 の実施の形態に示した電圧制御発振器と同様な動作を行い、同じ効果が得られる。

【0180】

なお、上述した第 10 乃至第 13 の実施の形態において、抵抗 R40, R41 の他端を

接地し、バイアス電圧 $V_{mod\ bias}$ として接地電位を与えても良い。また、同様に、抵抗 R_{42} , R_{43} の他端を接地し、バイアス電圧 V_{bias} として接地電位を与えても良く、バイアス電圧 $V_{mod\ bias}$ と V_{bias} の両方を接地電位に設定しても良い。

【0181】

また、1つのバイアス回路からバイアス電圧 $V_{mod\ bias}$ と V_{bias} 与えるように構成しても良いのは勿論である。

【0182】

以上説明した各実施の形態をまとめると下表1のようになる。

【表1】

表 1		Vmod (PLL ロック時)		dVmod (周波数変調)
Case1	第1、第2の実施の形態	$V_x (dV_x/dT > dV_f/dT)$	$b \times V_x (b < 1)$	
Case2	第3の実施の形態	$b \times V_f + V_{ref} (b < -1)$	$e \times (b \times V_x + V_{ref})$	
Case3	第5の実施の形態	$V_f - V_{ref}$	$b \times V_{ref}$	
Case4	第6の実施の形態	V_{ref}	$b \times V_f + e \times V_{ref} (b > 0, e \geq 0)$	
Case5	第7、第8の実施の形態	VC0 の周波数変調用の電圧可変容量素子を線形キャパシタによって動作ノードから分離		
Case6	第9～第13の実施の形態	VC0 のチャネル選択用の電圧可変容量素子と周波数変調用の電圧可変容量素子を線形キャパシタによって動作ノードから分離		

ここで、 $dV_{ref}/dT < < dV_f/dT$

【0183】

Case1及びCase2は、電圧 V_{mod} (PLLロック時) とこの電圧の温度変化に対する変化量 dV_{mod} を比例関係にすることを前提に、電圧 V_{mod} の温度依存性を V_f より大きめにしておき、 $V_{mod} + dV_{mod}$ 全体として周波数変調の温度依存性を抑えるように電圧 V_{mod} の温度依存性を決めておくものである。

【0184】

Case3は、電圧 V_{mod} (PLLロック時) を電圧可変容量素子 C_{v1} , C_{v2} の温度依存性に合うような値とすることを前提に、温度変化に対する変化量 dV_{mod} には温度依存性の小さな値を与えるようにして、 $V_{mod} + dV_{mod}$ 全体として周波数変調の温度依存性を抑えるように電圧 V_{mod} の温度依存性を決めている。

【0185】

Case 4は、電圧 V_{mod} （PLLロック時）には温度依存性の小さな値を用いることを前提に、温度変化に対する変化量 dV_{mod} に温度依存性を与えて $V_{mod} + dV_{mod}$ 全体として周波数変調の温度依存性を抑えるようにしておくものである。

【0186】

これら以外にも、 $V_{mod} + dV_{mod}$ 全体として周波数変調の温度依存性を抑えるように、 V_{mod} と dV_{mod} の温度依存性を個別に設定することも可能である。

【0187】

Case 5は、電圧制御発振器中の周波数変調用の電圧可変容量素子を、線形キャパシタによって、当該電圧制御発振器の動作ノード（出力端子）から分離するものである。

【0188】

Case 6は、電圧制御発振器中のチャネル選択用の電圧可変容量素子と周波数変調用の電圧可変容量素子の両方を、線形キャパシタによって、当該電圧制御発振器の動作ノード（出力端子）から分離するものである。

【0189】

なお、Case 5及びCase 6に示した第7乃至第13の実施の形態は、単独で適用するだけでなく、必要に応じてCase 1からCase 4に示した第1乃至第6の実施の形態のいずれかと組み合わせることもできる。

【0190】

上述したように、この発明の各実施の形態に係る周波数直接変調装置によれば、電圧可変容量素子に印加する変調電圧をC-V特性の温度依存性に近似することができるので、変調周波数の温度変動を抑制できる。あるいは、電圧制御発振器中の周波数変調用の電圧可変容量素子を、キャパシタによって当該電圧制御発振器の動作ノード（出力端子）から分離し、発振周波数が変動するのを抑制できる。また、電圧制御発振器中のチャネル選択用の電圧可変容量素子と周波数変調用の電圧可変容量素子を、キャパシタによって当該電圧制御発振器の動作ノード（出力端子）から分離し、発振周波数が変動するのを抑制できる。この結果、隣接通信チャネルに対するノイズを抑えることができる。

【0191】

以上第1乃至第13の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0192】

【図1】この発明の第1の実施の形態に係る周波数直接変調装置の概略構成について説明するためのブロック図であり、通信システムの一部を抽出して示す図。

【図2】図1に示した通信システムにおけるロウパスフィルタの構成例を示す回路図。

【図3】図2に示した回路の温度変化に対する電圧 V_{mod} の変動を示す特性図。

【図4】図1及び図2に示した通信システムにおける各信号の波形を示すタイミングチャート。

【図5】この発明の第2の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図2に示した回路における基準電圧発生回路の他の構成例を示す回路図。

【図6】（a）図は温度依存性の小さいバンドギャップリファレンス回路を用いて温度依存性の小さい基準電流と電圧可変容量素子のフォワード電流の和に比例した電圧

を出力する回路、(b)図は(a)図に示した回路から出力される電圧を用いて基準電圧を生成する温度補償電圧生成回路を示す回路図。

【図7】この発明の第4の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図6(a)に示した基準電圧発生回路から出力される温度依存性がない電位を用いてトランスコンダクタンスアンプ用の電源電圧を生成する電源電圧生成回路の構成例を示す図。

【図8】図6(a)、(b)及び上記図7に示した回路とともに上記図1に示した回路におけるロウパスフィルタを形成する場合の回路構成例を示す図。

【図9】図8に示した回路におけるトランスコンダクタンスアンプの具体的な回路構成図。

【図10】図8及び図9に示した回路の一部の断面構成図。

【図11】この発明の第5の実施の形態に係る周波数直接変調装置及び通信システムについて説明するための回路図。

【図12】(a)図は低温時の電圧可変容量素子のC-V特性図、(b)図は高温時の電圧可変容量素子のC-V特性図。

【図13】この発明の第6の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図11に示したロウパスフィルタの他の構成例を示す回路図。

【図14】この発明の第7の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図1に示した通信システムにおける電圧制御発振器の構成例を示す回路図。

【図15】図14に示した電圧制御発振器におけるバイアス回路の構成例を示す図。

【図16】図14に示した電圧制御発振器におけるバイアス回路の他の構成例を示す図。

【図17】図14に示した電圧制御発振器に電圧 V_{mod} を与える電圧発生回路を示す図。

【図18】この発明の第8の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、図1に示した通信システムにおける電圧制御発振器の他の構成例を示す回路図。

【図19】図18に示した電圧制御発振器に電圧 V_{mod} を与える電圧発生回路を示す図。

【図20】図14及び図18に示した回路におけるロウパスフィルタで用いられる電圧可変容量素子の別の構成例を示しており、(a)図は回路図、(b)図はその断面構成図。

【図21】図20(a)、(b)に示したMOSキャパシタのC-V特性図。

【図22】この発明の第10の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、電圧制御発振器の別の構成例を示すブロック図。

【図23】図22に示した電圧制御発振器の具体的な構成例を示す回路図。

【図24】図22及び図23に示した負性コンダクタ素子の構成例を示すもので、(a)図はCMOS型、(b)図はNMOS型、(c)図はPMOS型。

【図25】図22及び図23に示した電圧制御発振器にバイアス電圧を与えるバイアス回路の構成例を示す回路図。

【図26】(a)図はバラクタのC-V特性の温度依存性を示す図、(b)図はバイアス回路のI-V特性を示す図。

【図27】この発明の第11の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、電圧制御発振器の別の構成例を示すブロック図。

【図28】図27に示した電圧制御発振器の具体的な構成例を示す回路図。

【図29】(a)図は図27及び図28に示した電圧制御発振器にバイアス電圧を与えるバイアス回路の構成例を示す回路図、(b)図はバイアス回路の他の構成例を示す回路図。

【図 30】 (a) 図は図 29 (a) に示したバイアス回路を用いた場合のバラクタの C-V 特性の温度依存性を示す図、(b) 図は図 29 (a) に示したバイアス回路を用いた場合のバイアス回路の I-V 特性を示す図。

【図 31】 (a) 図は図 29 (b) に示したバイアス回路を用いた場合のバラクタの C-V 特性の温度依存性を示す図、(b) 図は図 29 (b) に示したバイアス回路を用いた場合のバイアス回路の I-V 特性を示す図。

【図 32】 この発明の第 12 の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、電圧制御発振器の更に別の構成例を示すブロック図。

【図 33】 図 32 に示した電圧制御発振器の具体的な構成例を示す回路図。

【図 34】 この発明の第 13 の実施の形態に係る周波数直接変調装置及び通信システムについて説明するためのもので、電圧制御発振器の更に別の構成例を示すブロック図。

【図 35】 図 34 に示した電圧制御発振器の具体的な構成例を示す回路図。

【図 36】 従来の周波数直接変調装置の概略構成について説明するためのブロック図であり、通信システムの一部を抽出して示す図。

【図 37】 図 36 に示した通信システムにおける各信号の波形を示すタイミングチャート。

【図 38】 図 36 に示した通信システムにおける電圧制御発振器の回路構成例を示す回路図。

【図 39】 (a) 図はフェイズ・ロックト・ループでチャネル周波数にロックする期間のチャネル選択用の電圧可変容量素子の動作点を示す C-V 特性図、(b) 図は同じくフェイズ・ロックト・ループでチャネル周波数にロックする期間の周波数変調用の電圧可変容量素子の動作点を示す C-V 特性図。

【図 40】 周波数変調時におけるチャネル選択用の電圧可変容量素子の動作点を示す C-V 特性図。

【図 41】 (a) 図はデータが“1”の時の周波数変調用の電圧可変容量素子の動作点を示す C-V 特性図、(b) 図はデータが“0”の時の周波数変調用の電圧可変容量素子の動作点を示す C-V 特性図、(c) 図はデータが“1”の時と“0”の時の周波数変調用の電圧可変容量素子の動作点の差を示す図。

【図 42】 (a) 図は周波数変調用の電圧可変容量素子の回路図、(b) 図はその断面構成図。

【図 43】 周波数変調用の電圧可変容量素子の C-V 特性図。

【図 44】 図 36 に示した通信システムにおけるロウパスフィルタの構成例を示す回路図。

【図 45】 図 44 に示したロウパスフィルタの C-V 特性と電圧 V_{eff} の温度依存性を対比して示す図。

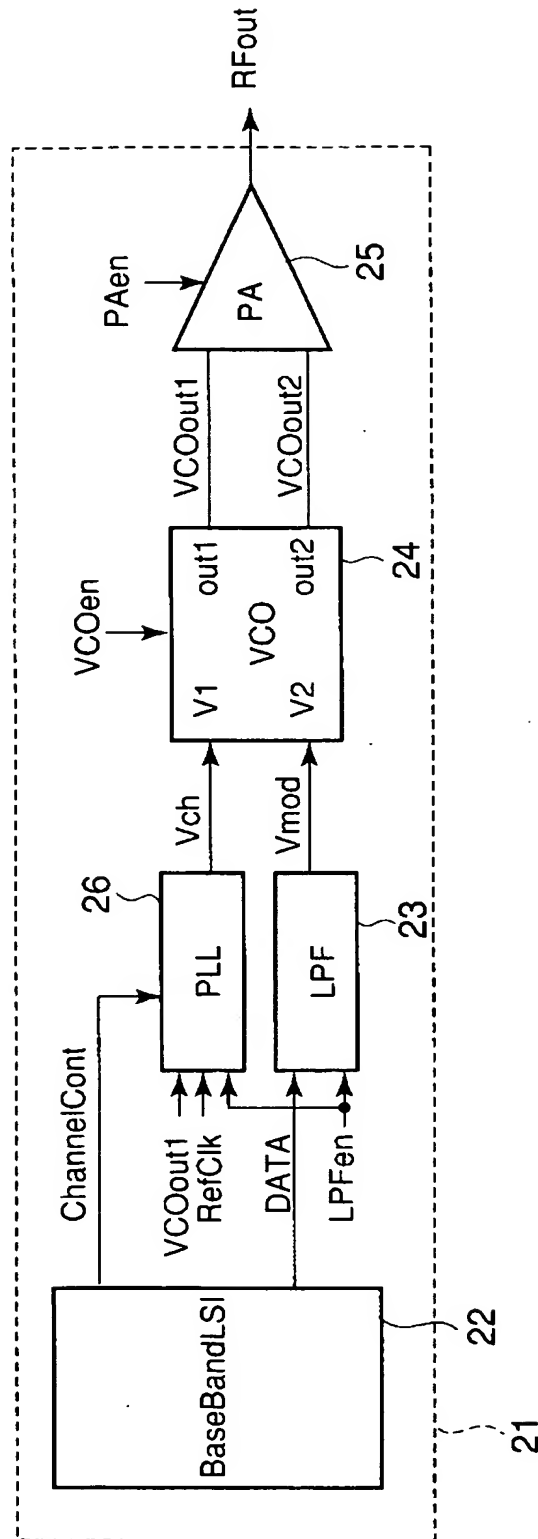
【符号の説明】

【0193】

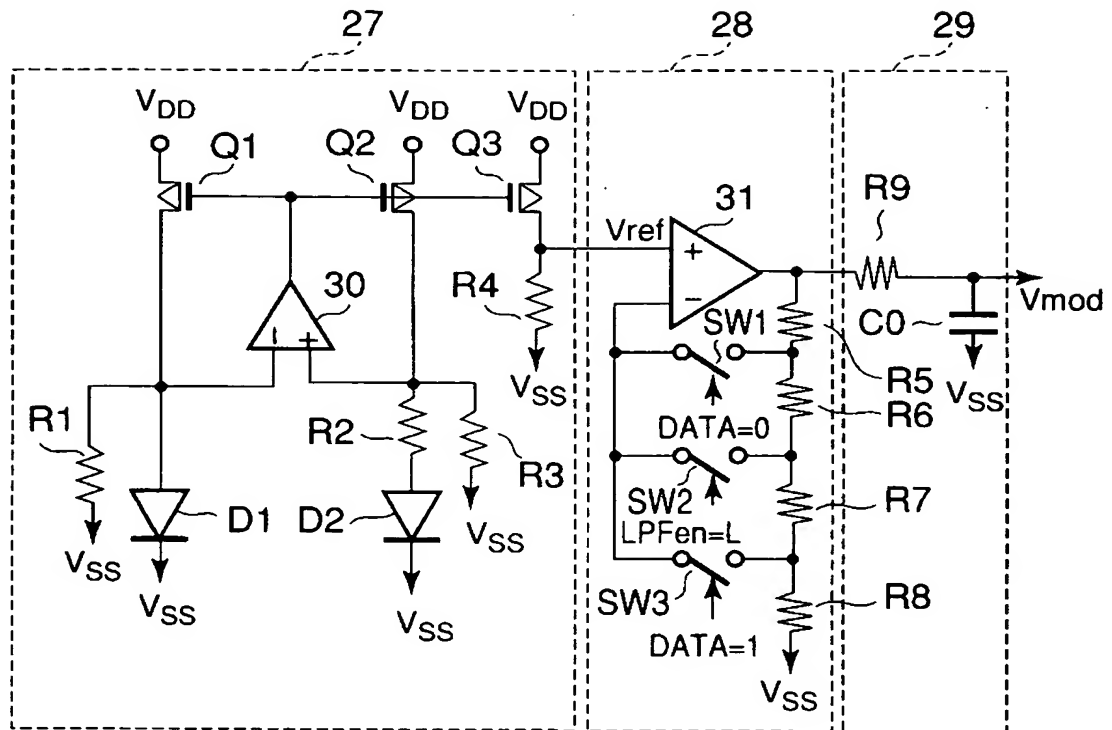
1, 21…通信システム、2, 22…ベースバンド LSI (Base Band LSI)、3, 23…ロウパスフィルタ (LPF)、4, 24…電圧制御発振器 (VCO)、5, 25…パワーアンプ (PA)、6, 26…フェイズ・ロックト・ループ (PLL)、7, 27, 27'…基準電圧発生回路、8, 28…D/A コンバータ、9, 29…フィルタ、30, 31, 41, 42, 45, 47, 48, 63, 66, 67…オペアンプ、64…バッファ、43…バンドギャップリファレンス回路、46-1~46-5…トランスコンダクタンスアンプ (gm アンプ)、71, 72…インバータ、73…バイアス回路、101a, 101a-1, 101a-2…PN 接合ダイオード型バラクタ、101b, 101b-1, 101b-2…MOS 型バラクタ、102…インダクタ、103…負性コンダクタ素子、 V_{bias} …バイアス電圧、D1~D7, D8-1~D8-n, D10~D14…電圧可変容量素子、C0~C7…容量素子、Q1~Q8, Q10~Q28, Q30~Q3

8, Q40~Q46, Q50~Q57…MOSトランジスタ、R1~R22, R23~R25, R27~R32, R40~R43…抵抗、R26…可変抵抗、Cch1, Cch2…チャネル選択用の電圧可変容量素子（第1電圧可変容量手段）、Cv1, Cv2…周波数変調用の電圧可変容量素子（第2電圧可変容量手段）、Cmim1~Cmim6…線形キャパシタ、L1~L6…インダクタンス素子、VDD…電源電圧、VSS…接地点、DATA…通信データ、ChannelCont…信号、RefClk…参照クロック、Vch…制御電圧、LPFen…信号、VCOen…信号、PAen…信号、VCOout1, VCOout2…発振信号、RFout…送信信号、Vref…基準電圧（温度特性が負）、Vref1, Vref2…基準電圧（温度依存性なし）、Vmod…制御電圧。

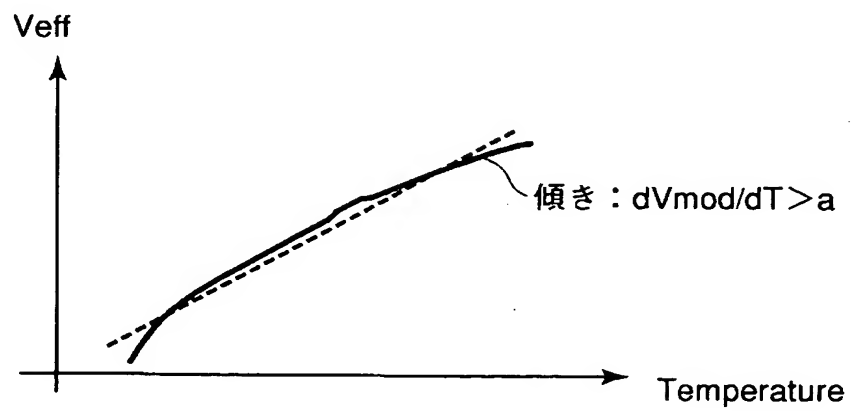
【書類名】 図面
【図 1】



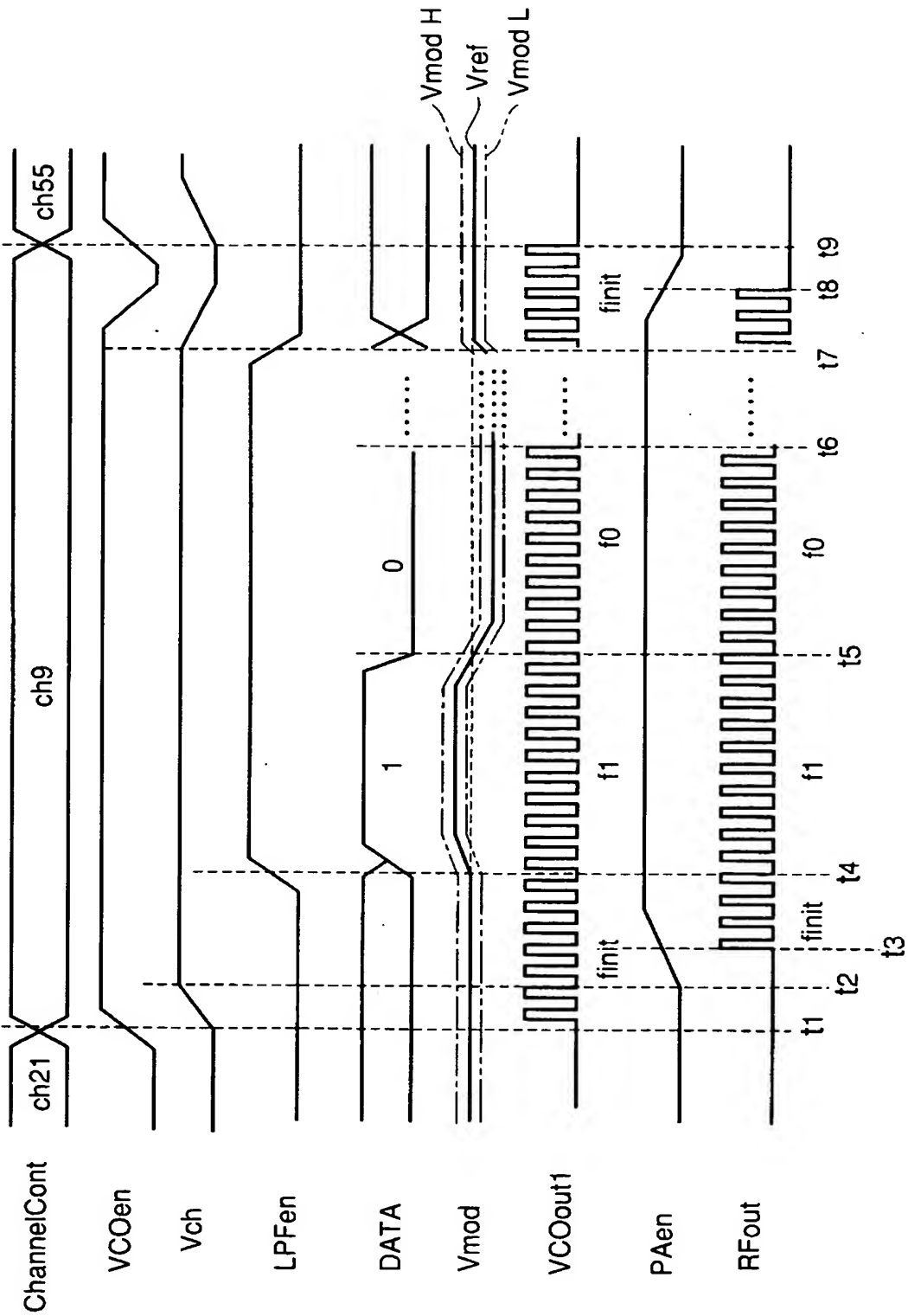
【図 2】



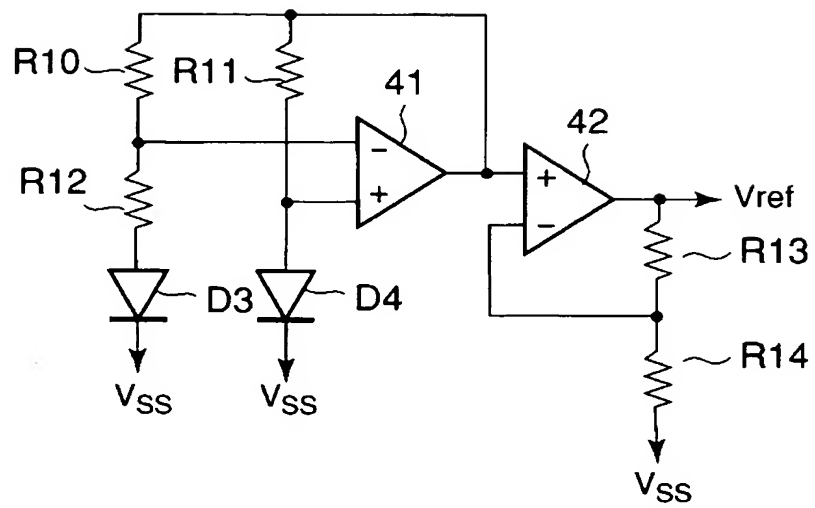
【図 3】



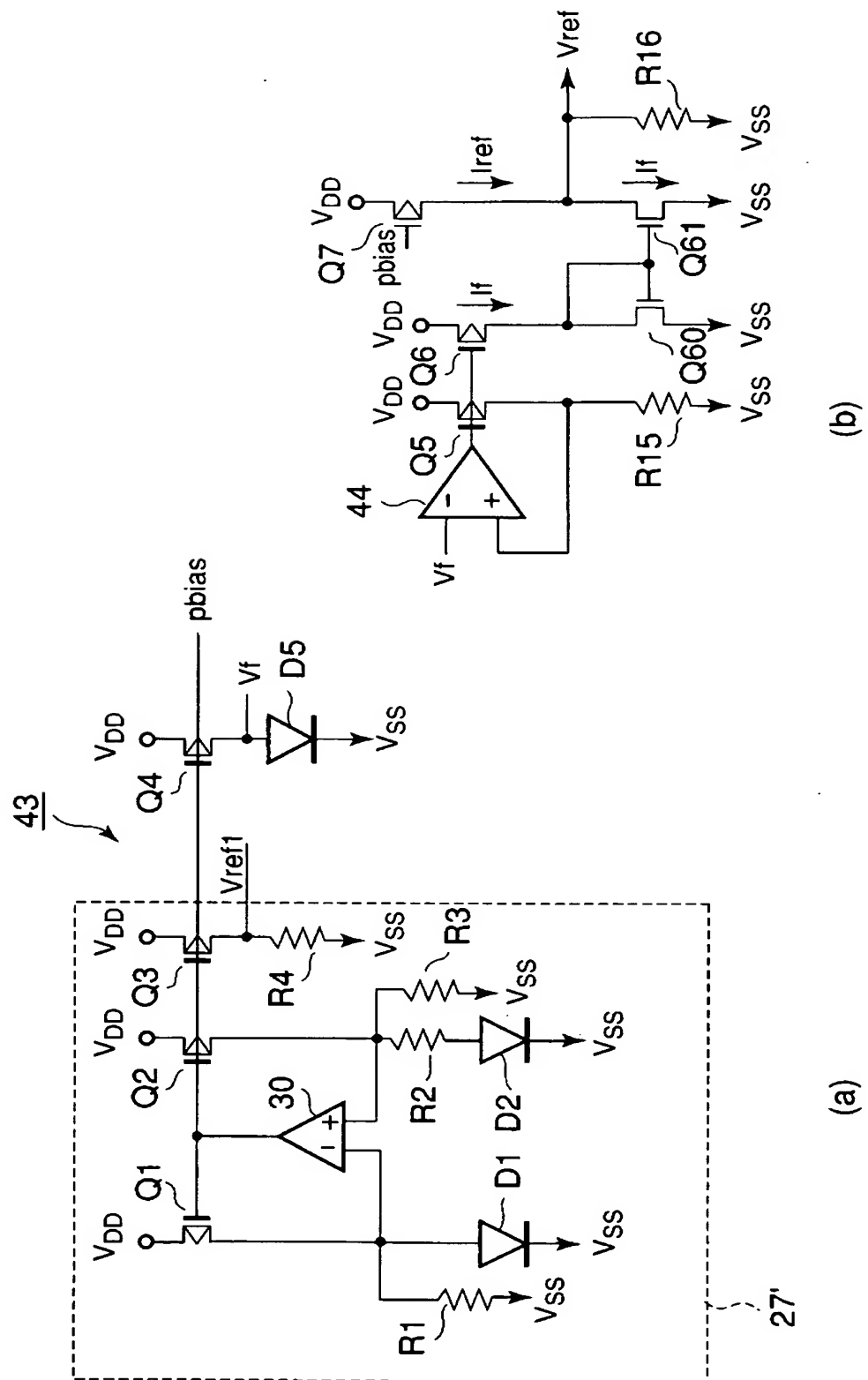
【図 4】



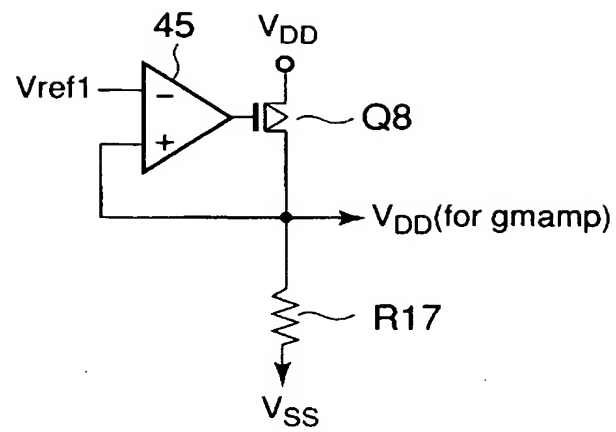
【図 5】



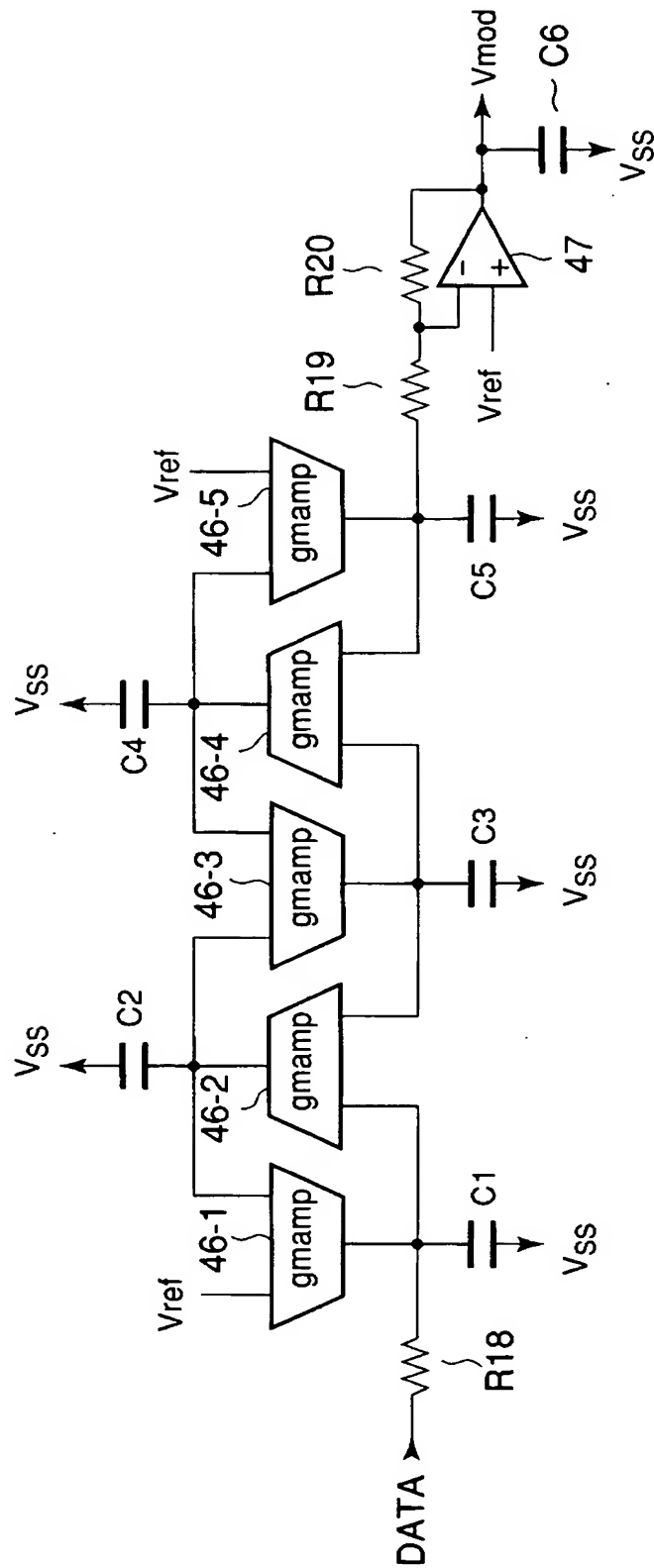
【図 6】



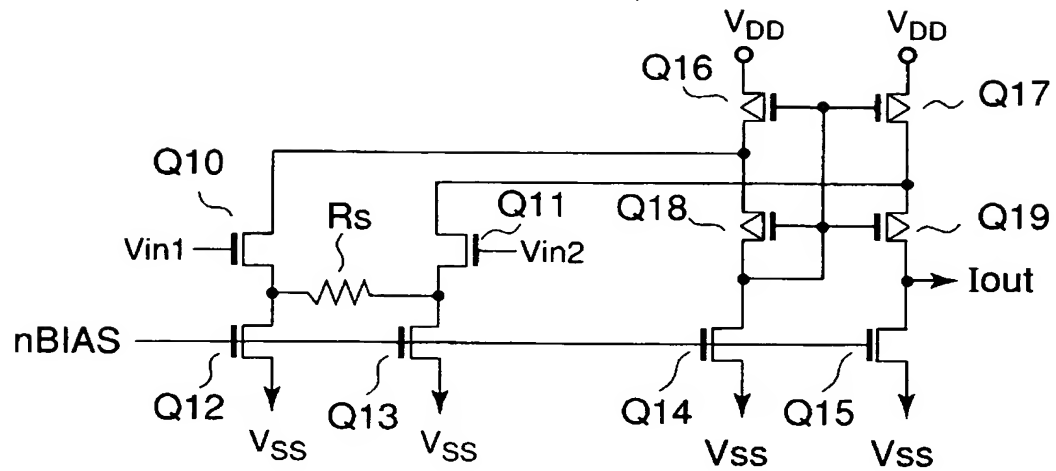
【図 7】



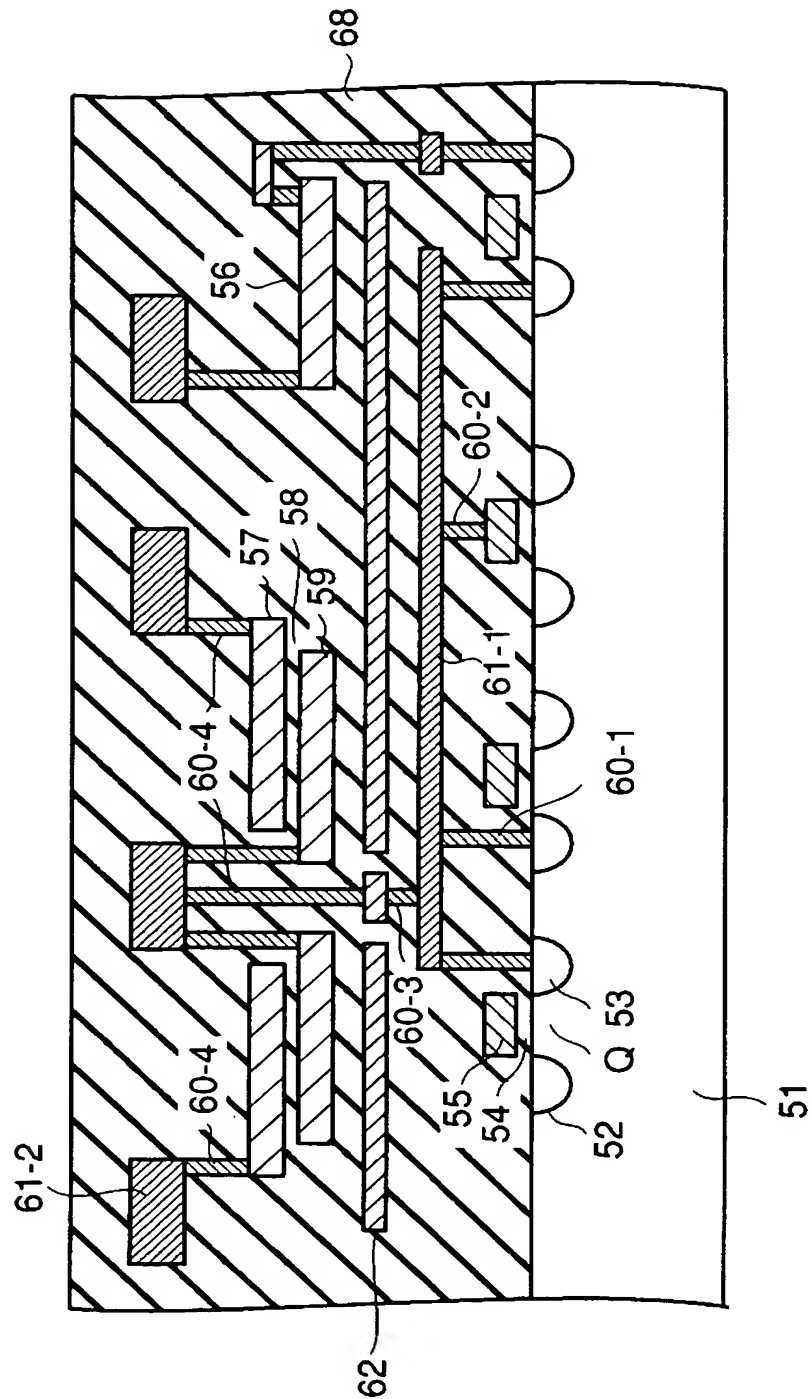
【図 8】



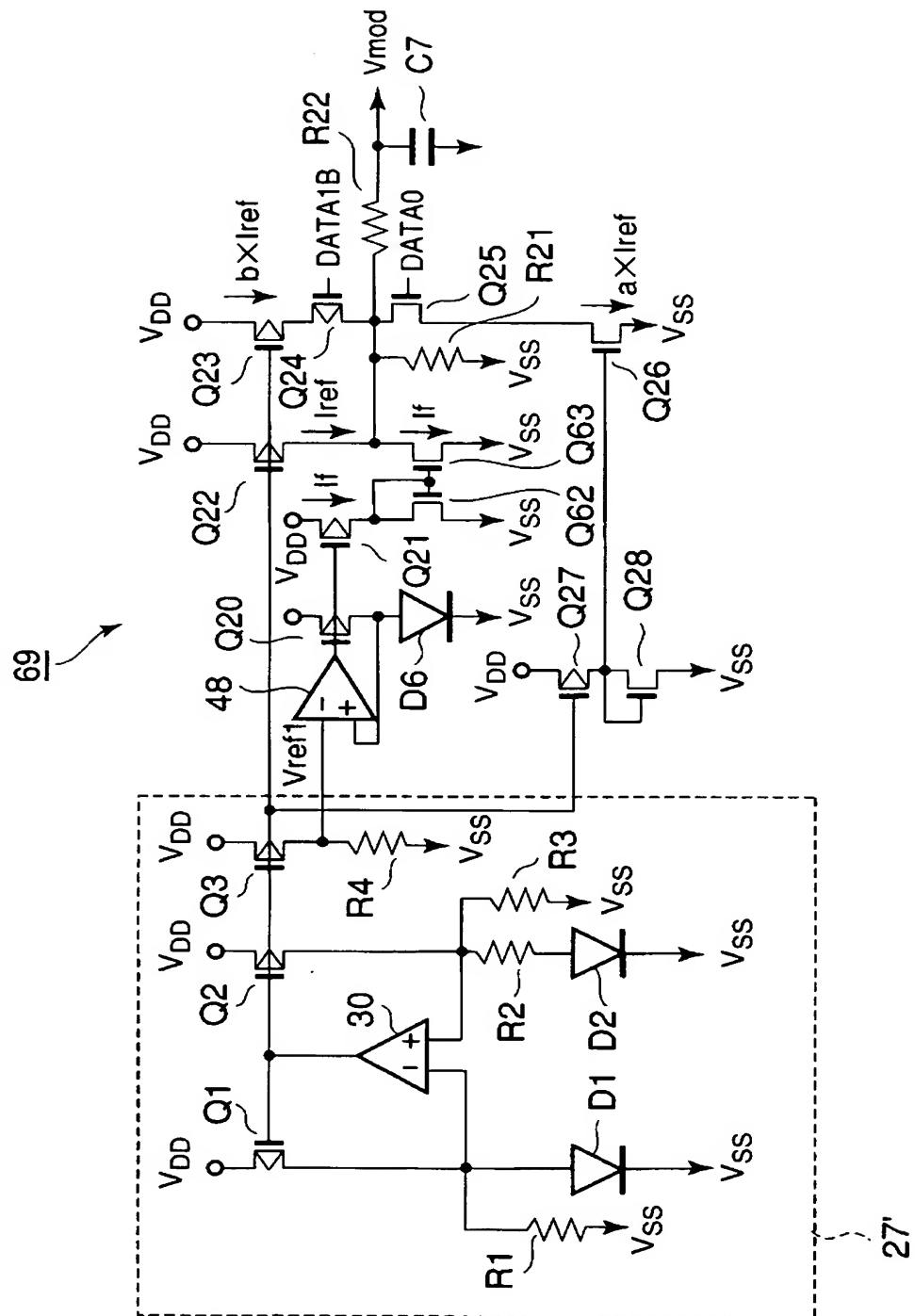
【図 9】



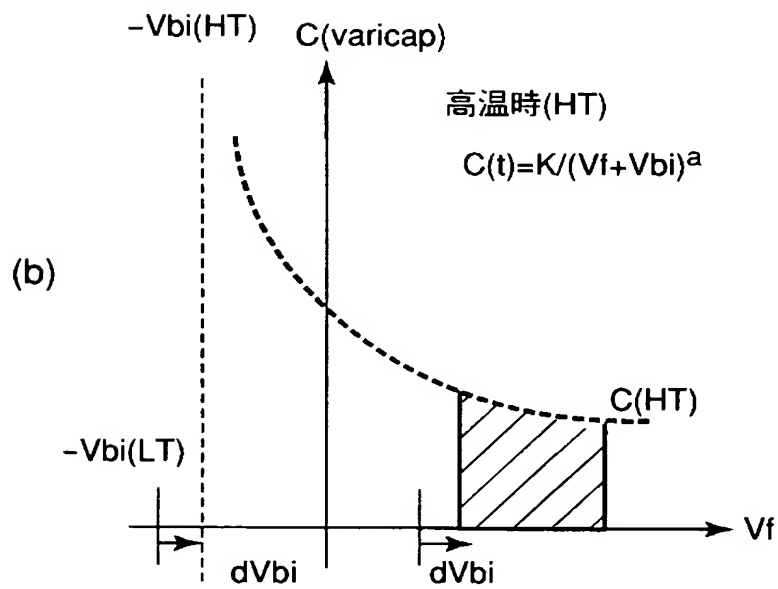
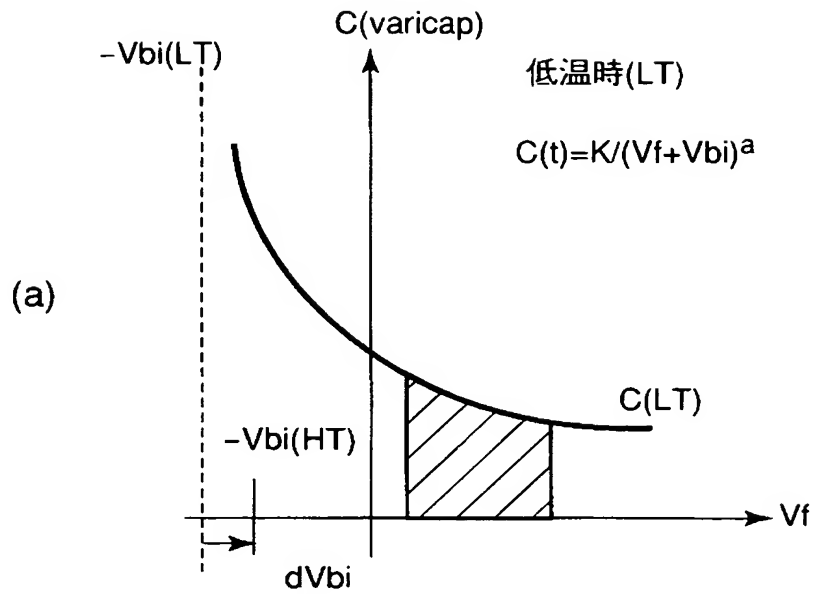
【図 10】



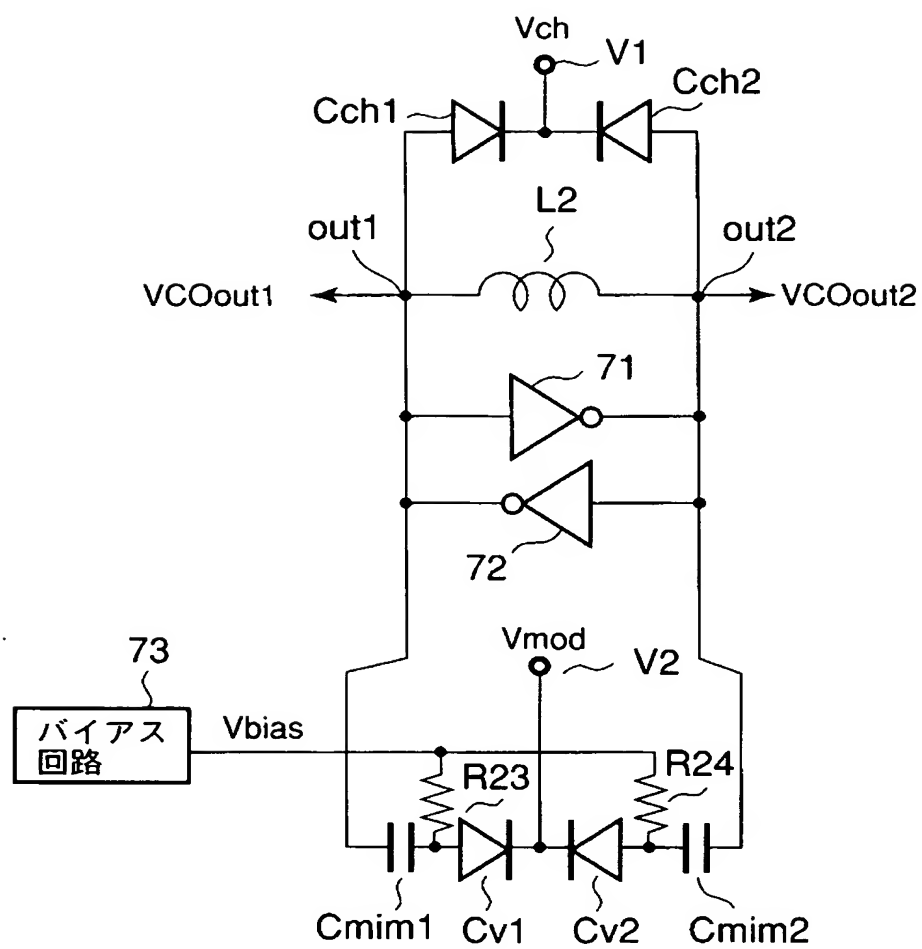
【図 11】



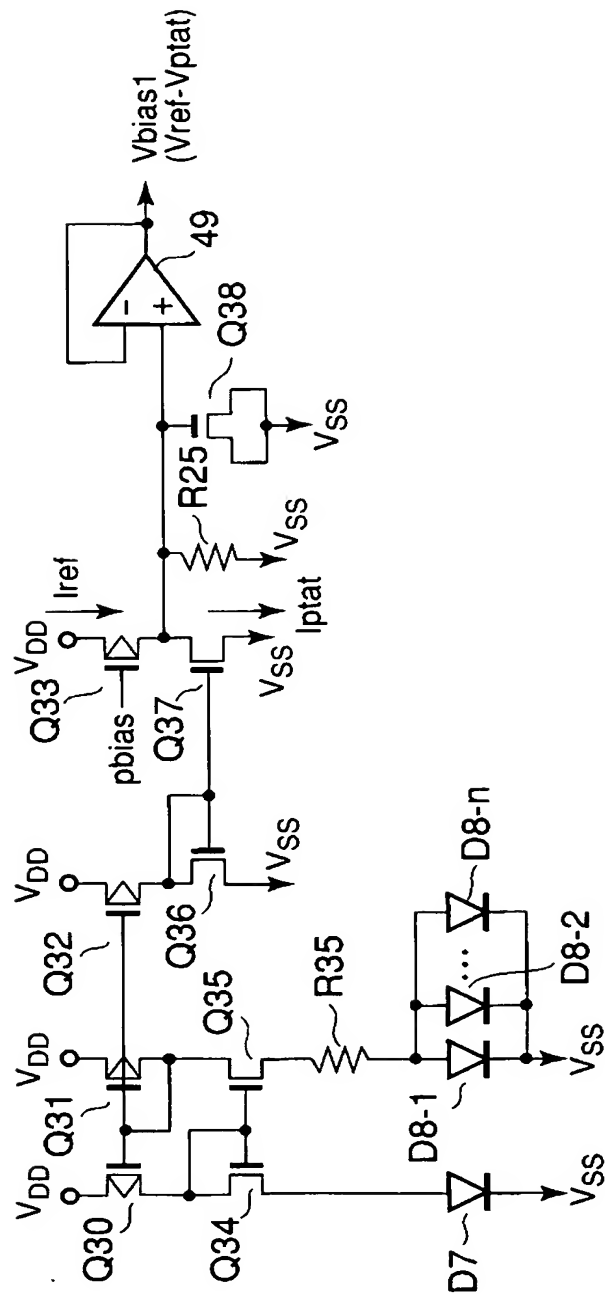
【図 12】



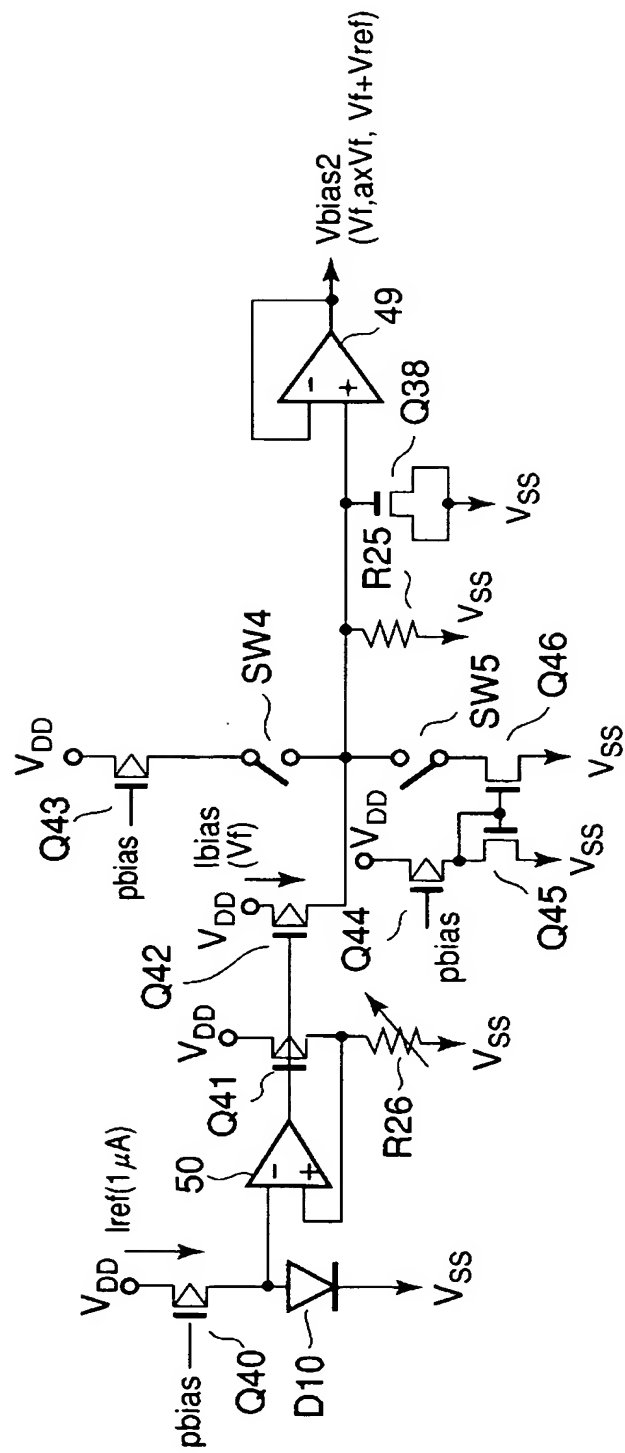
【図 14】



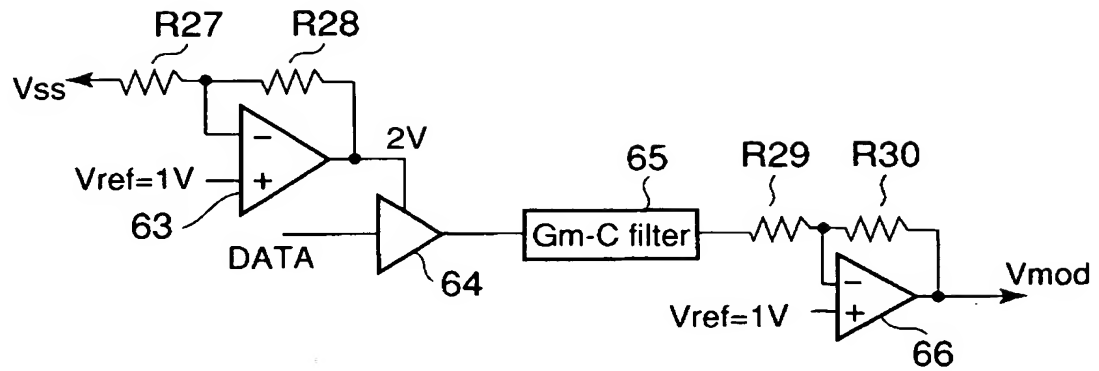
【図 15】



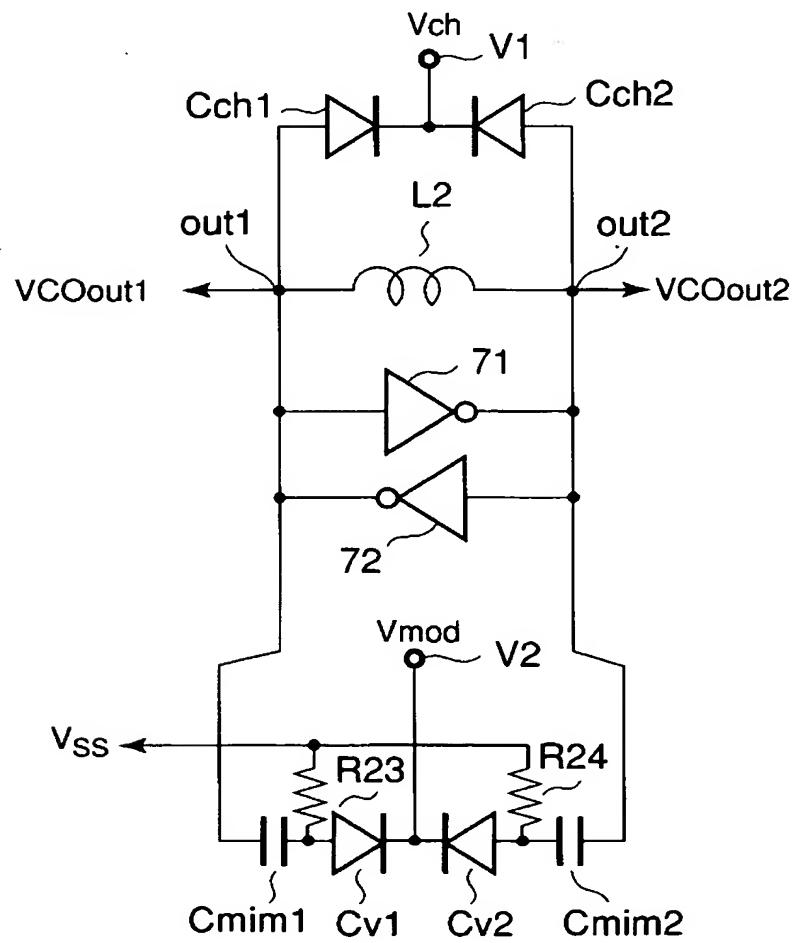
【図 16】



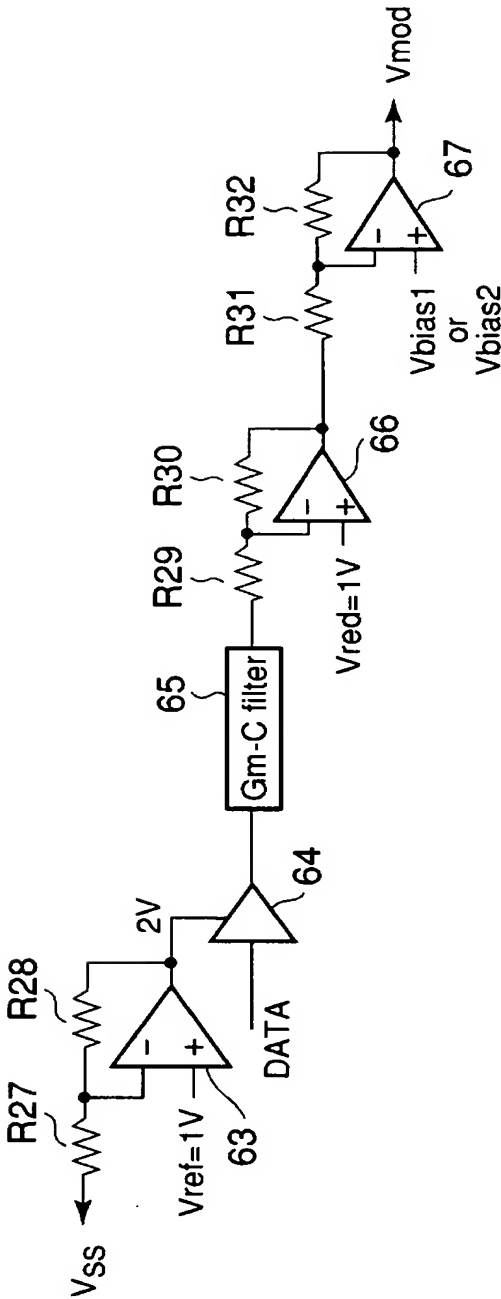
【図 17】



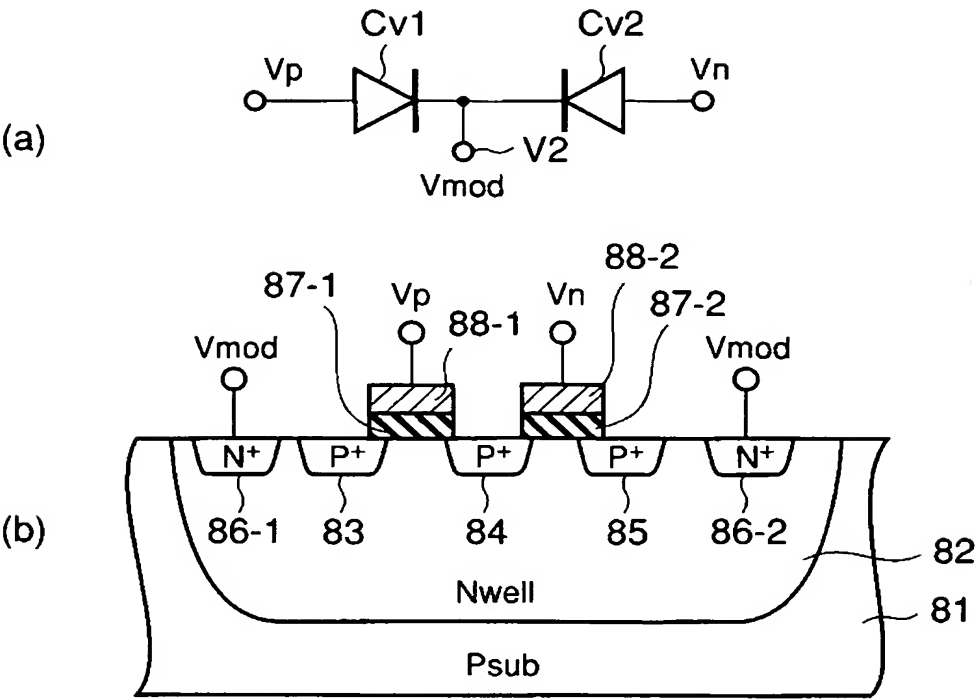
【図 18】



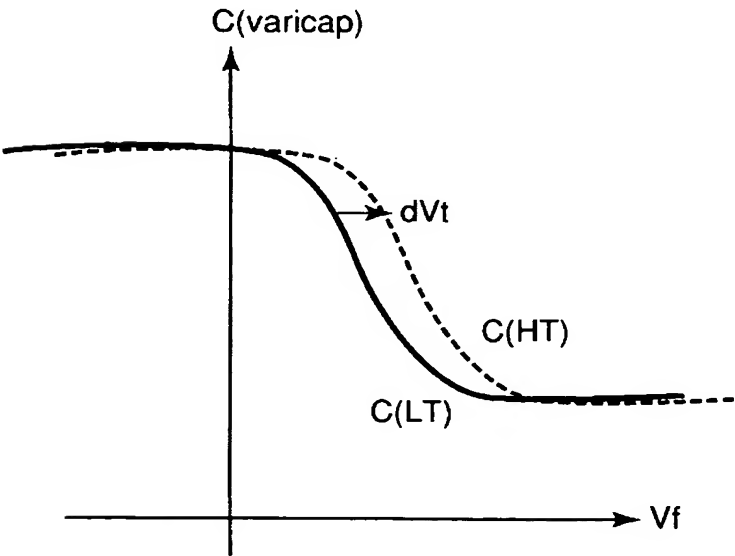
【図 1 9】



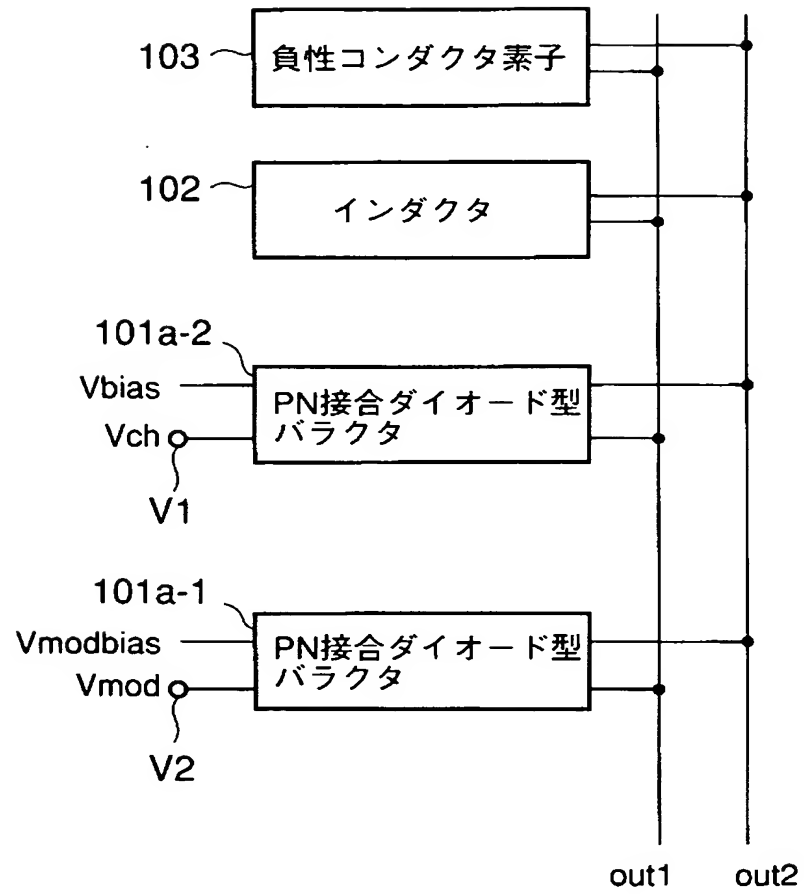
【図 20】



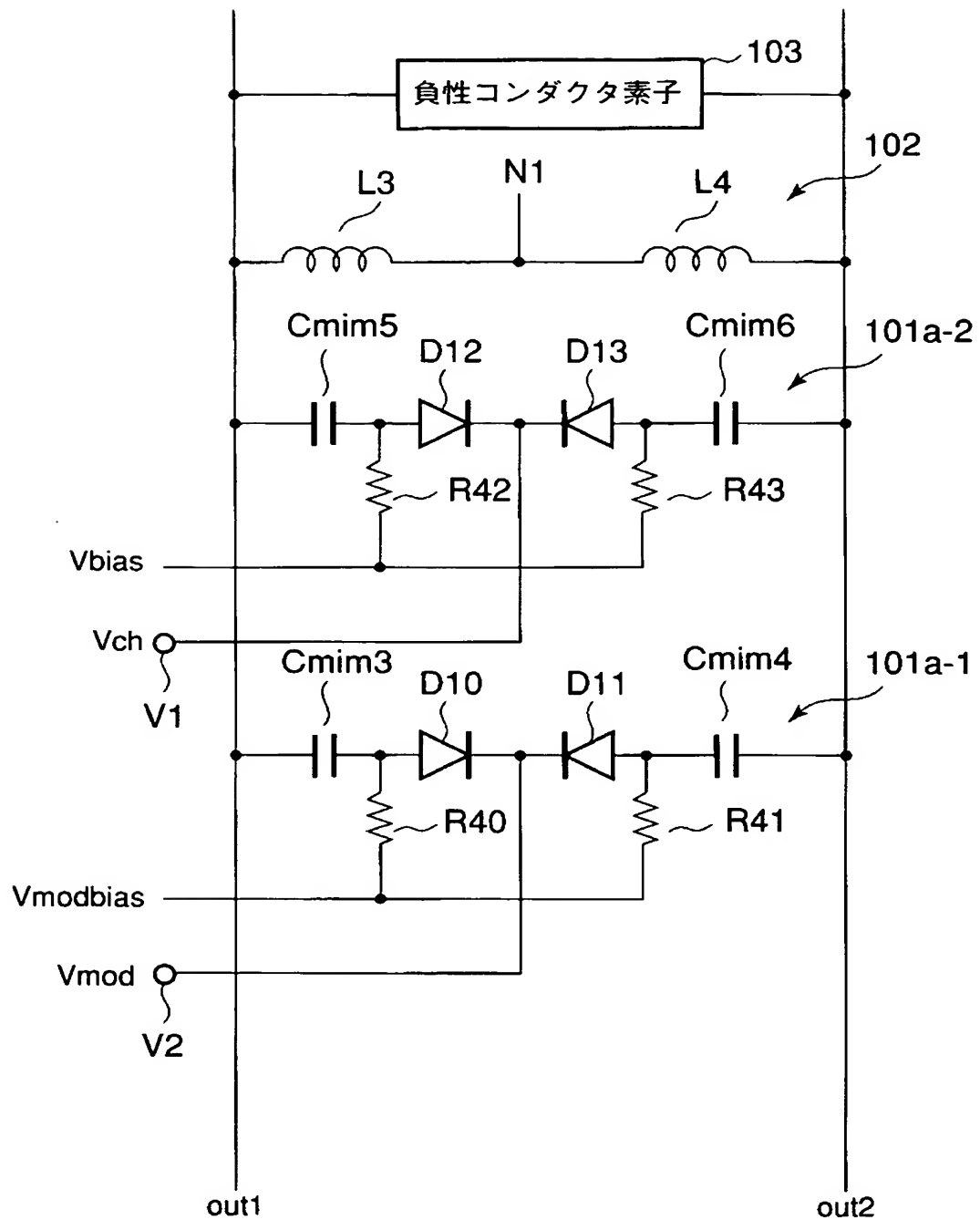
【図 21】



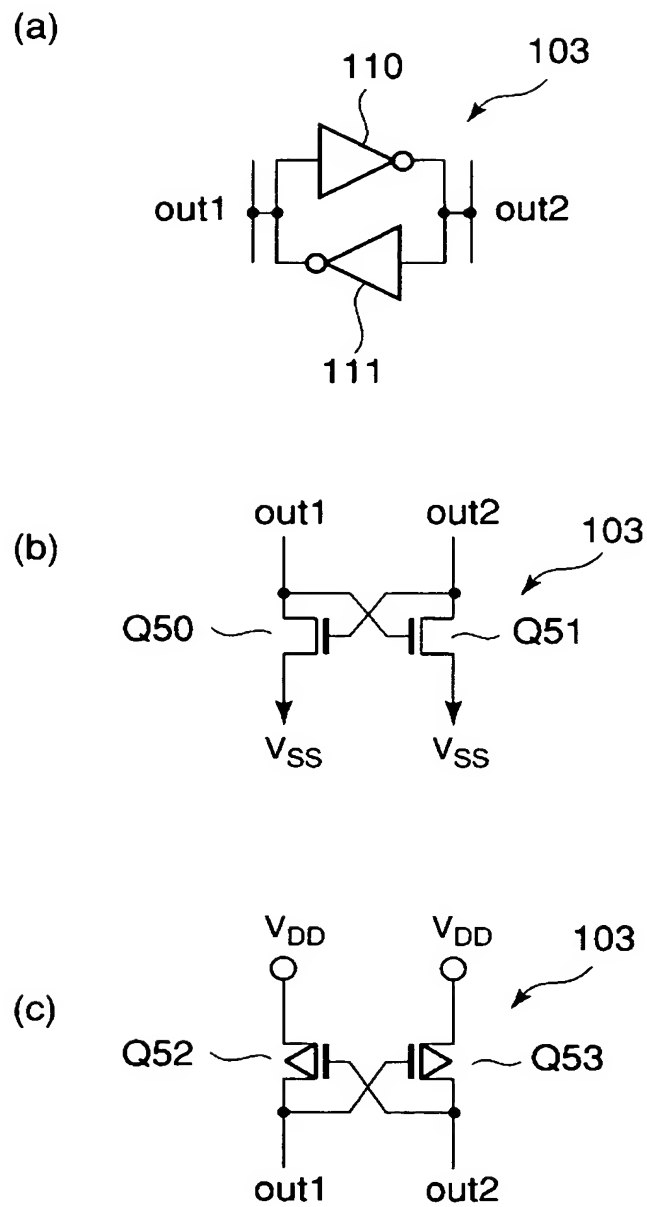
【図 22】



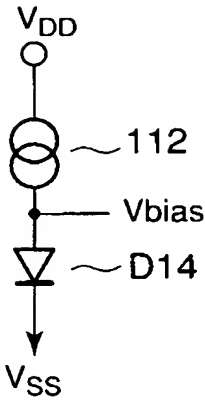
【図 23】



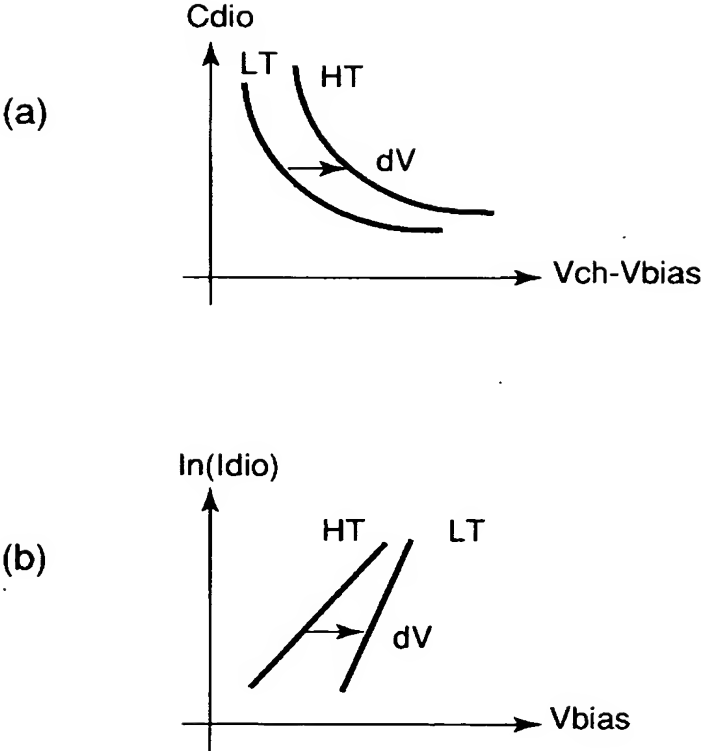
【図 24】



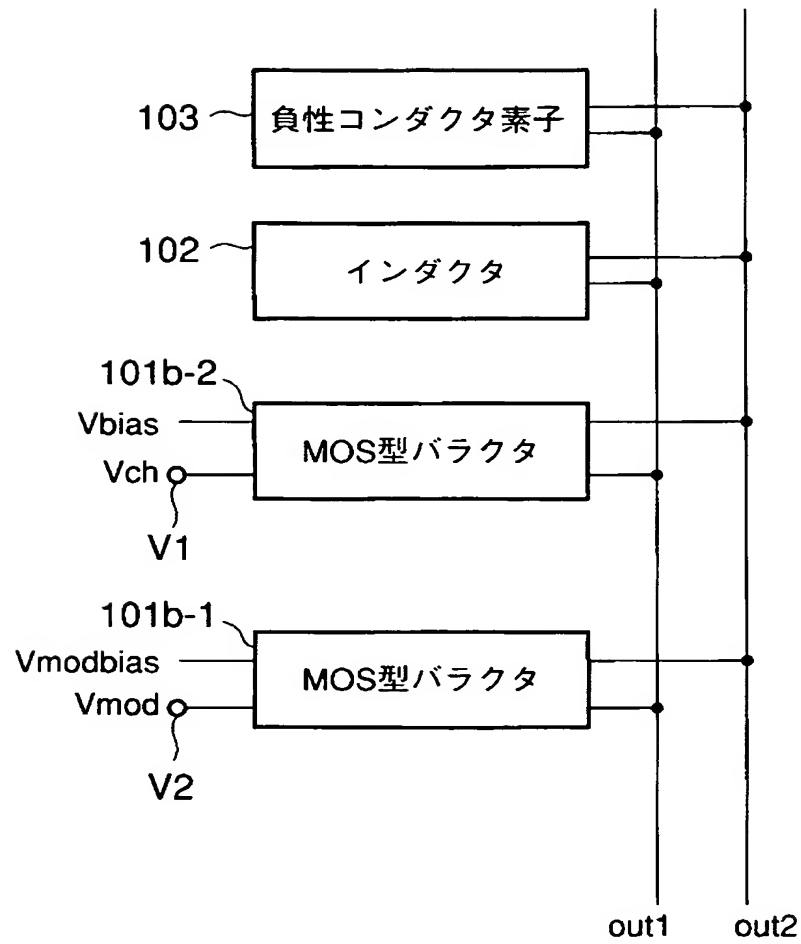
【図 25】



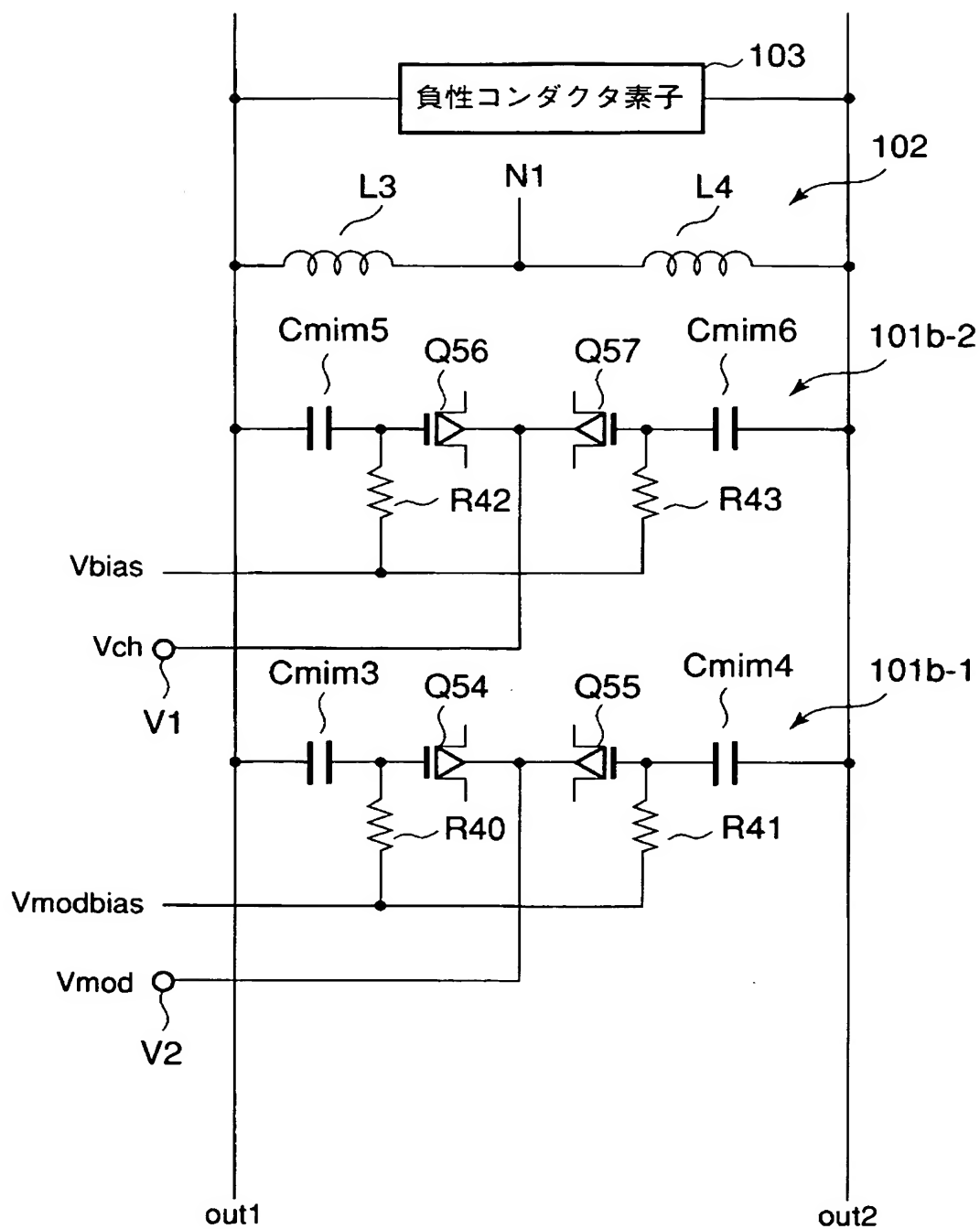
【図 26】



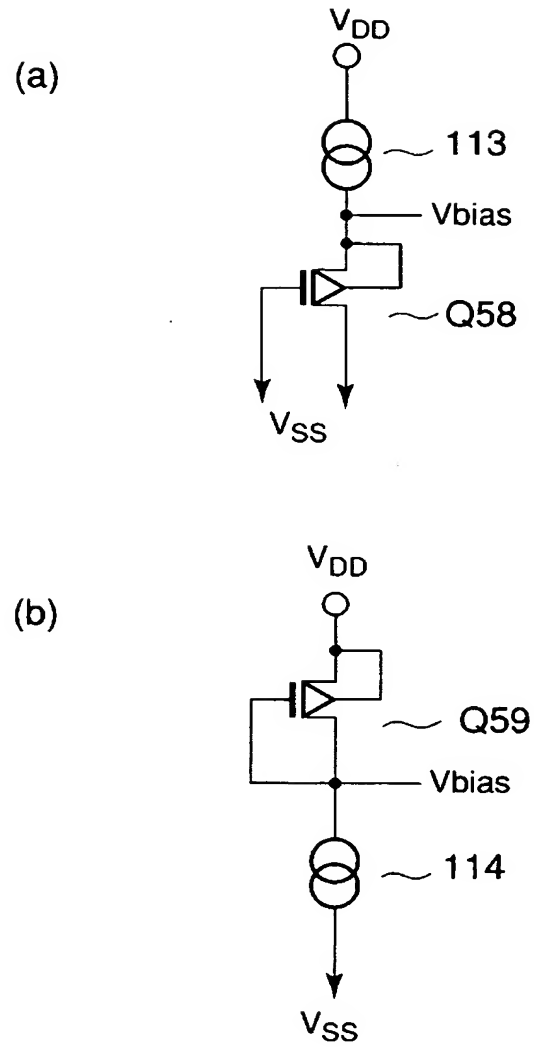
【図 27】



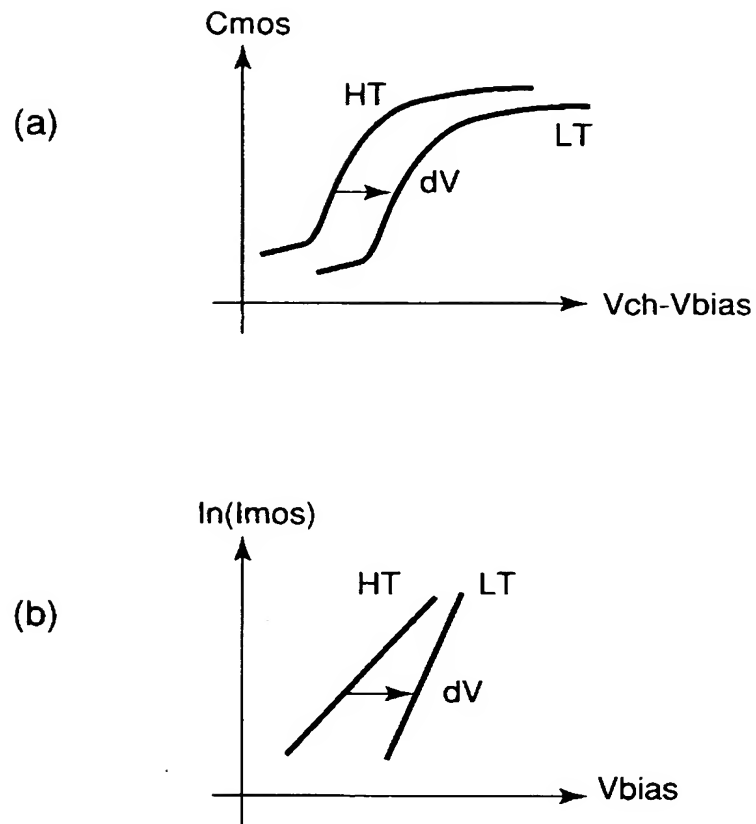
【図 28】



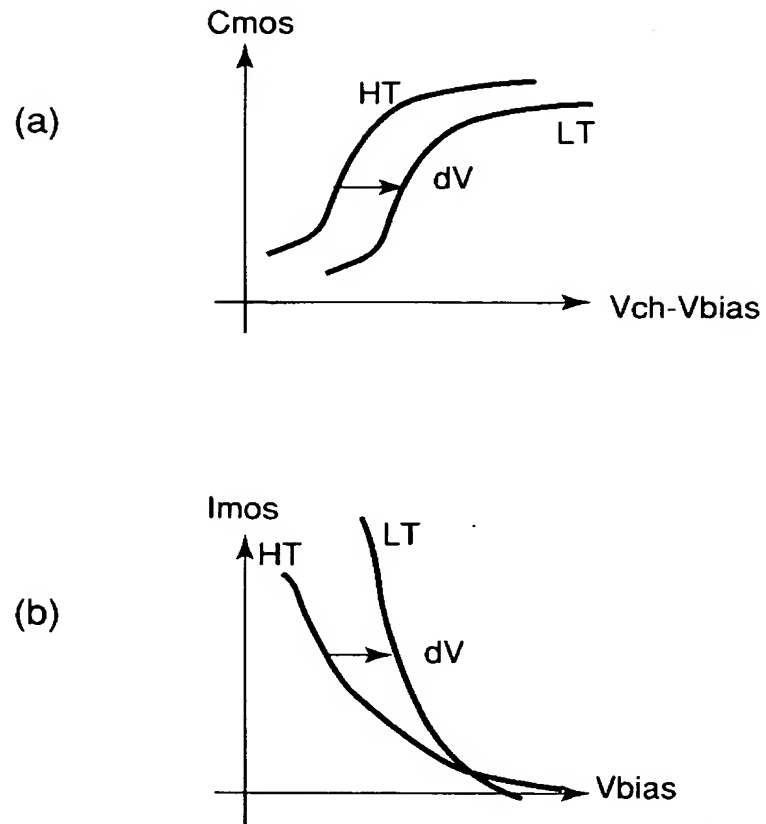
【図 29】



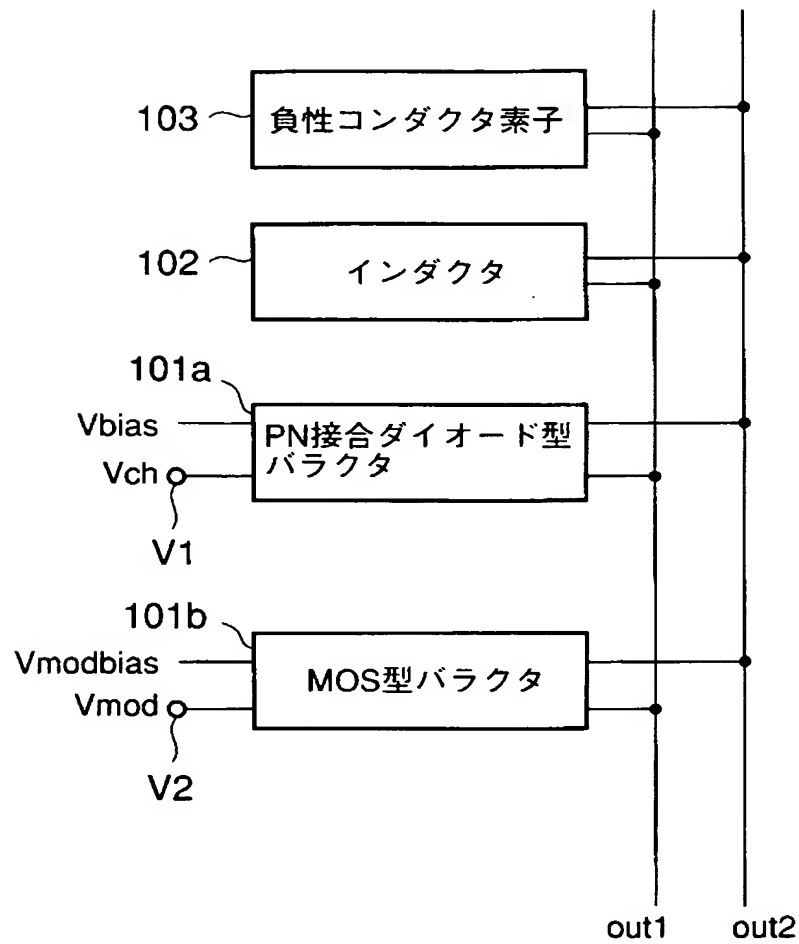
【図 30】



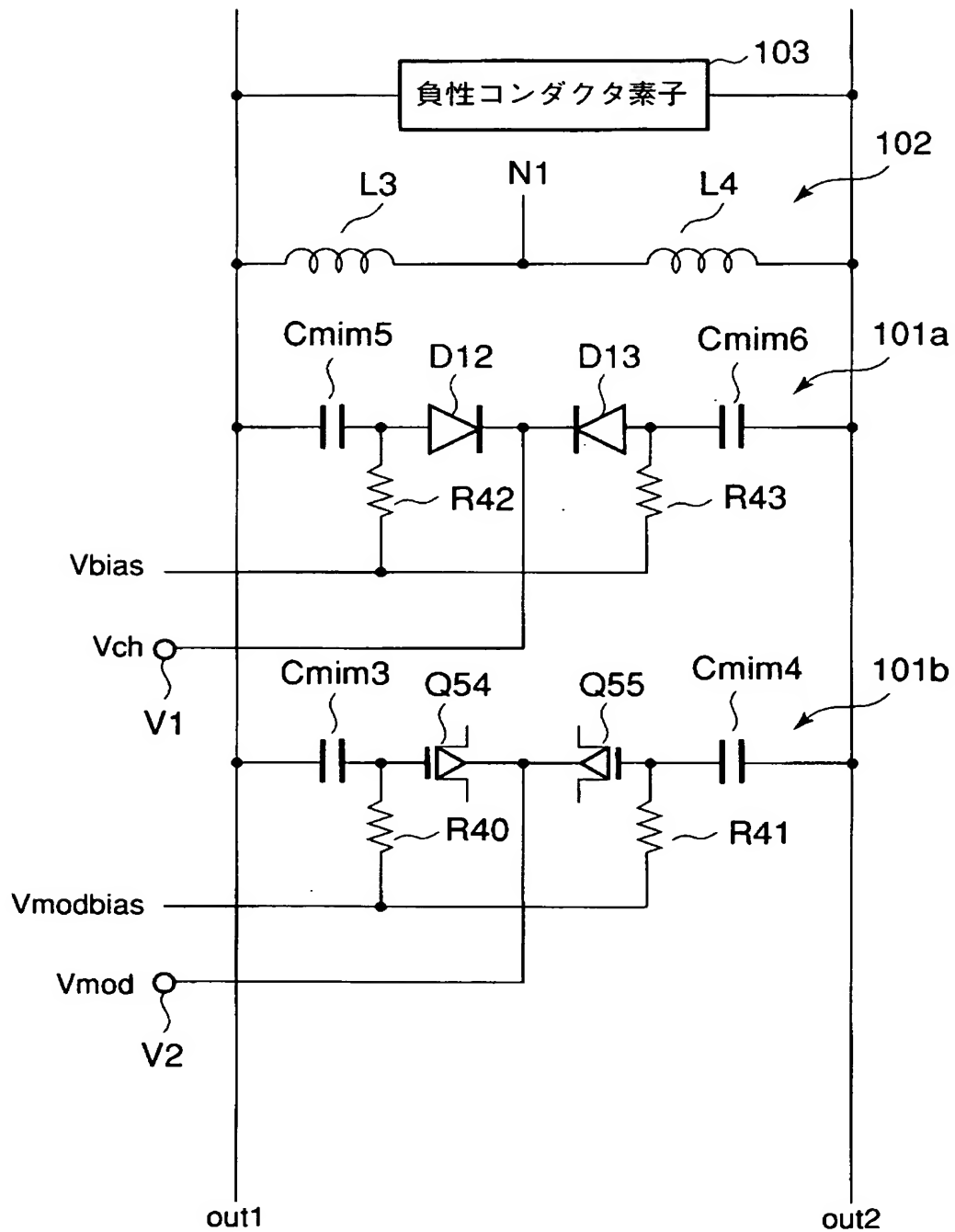
【図 31】



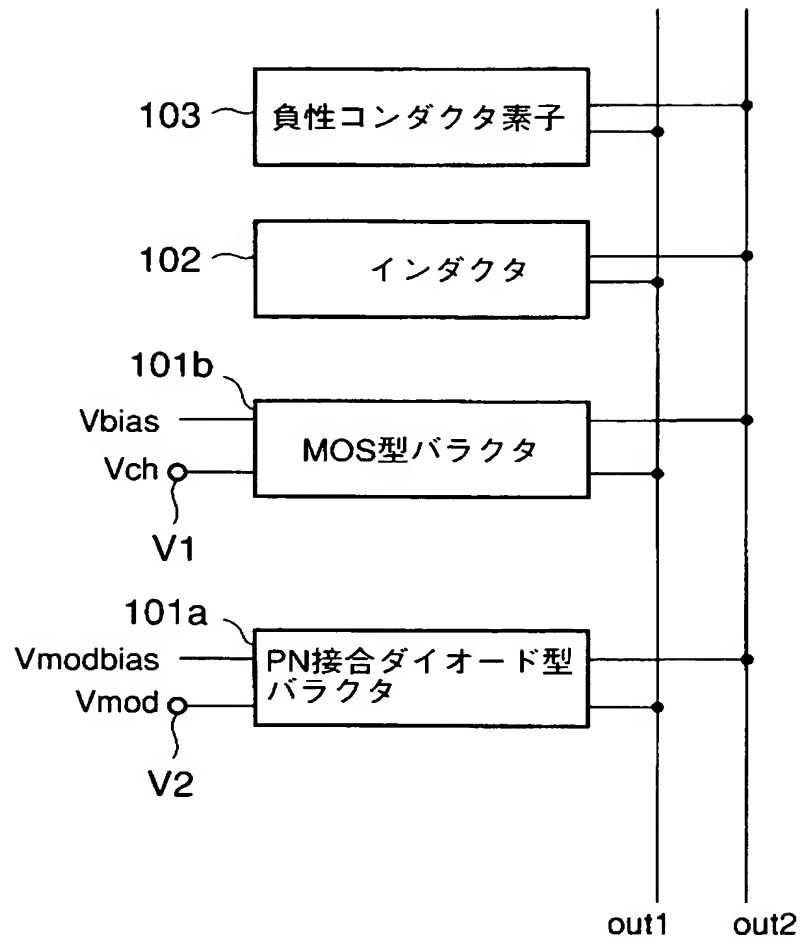
【図 3 2】



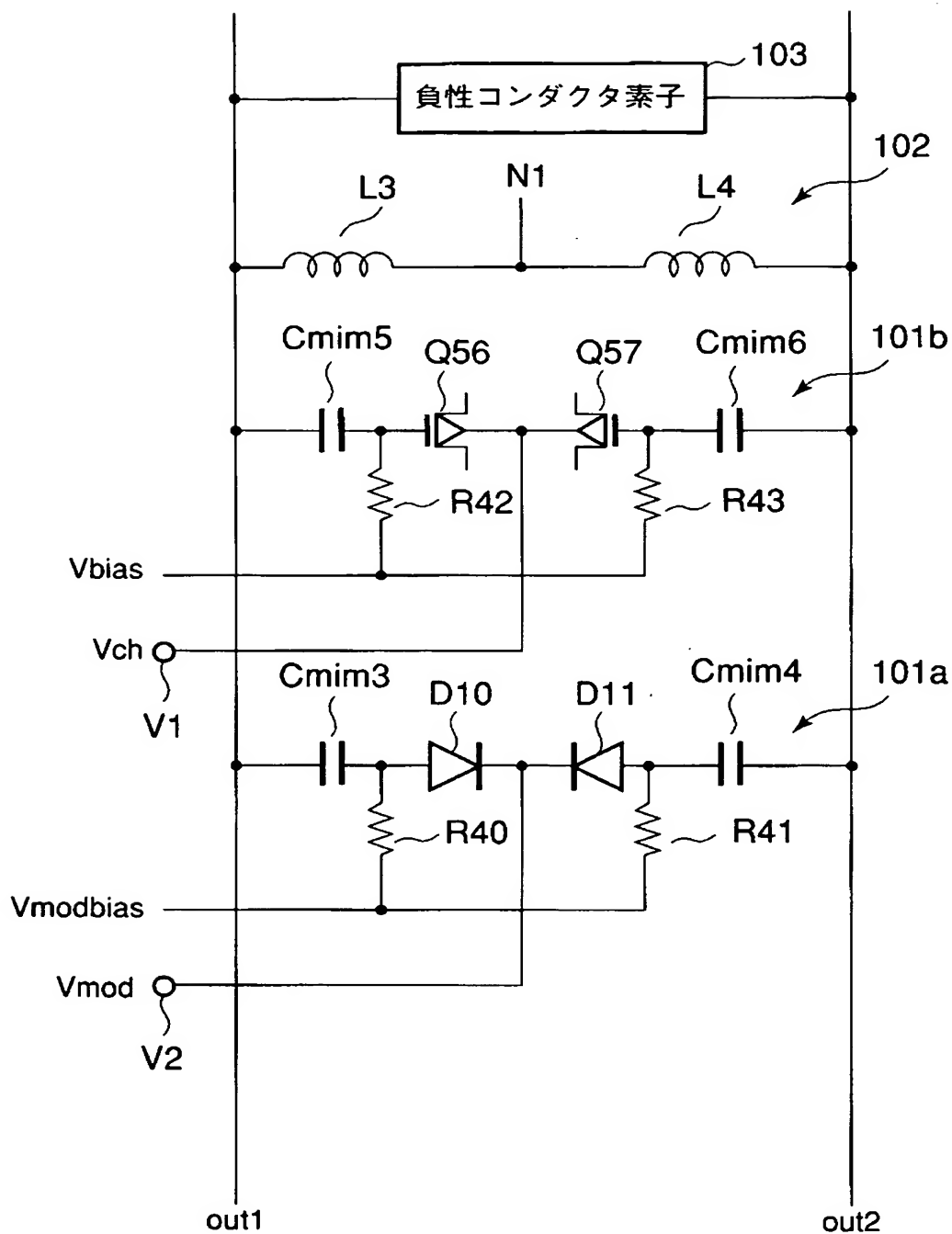
【図 33】



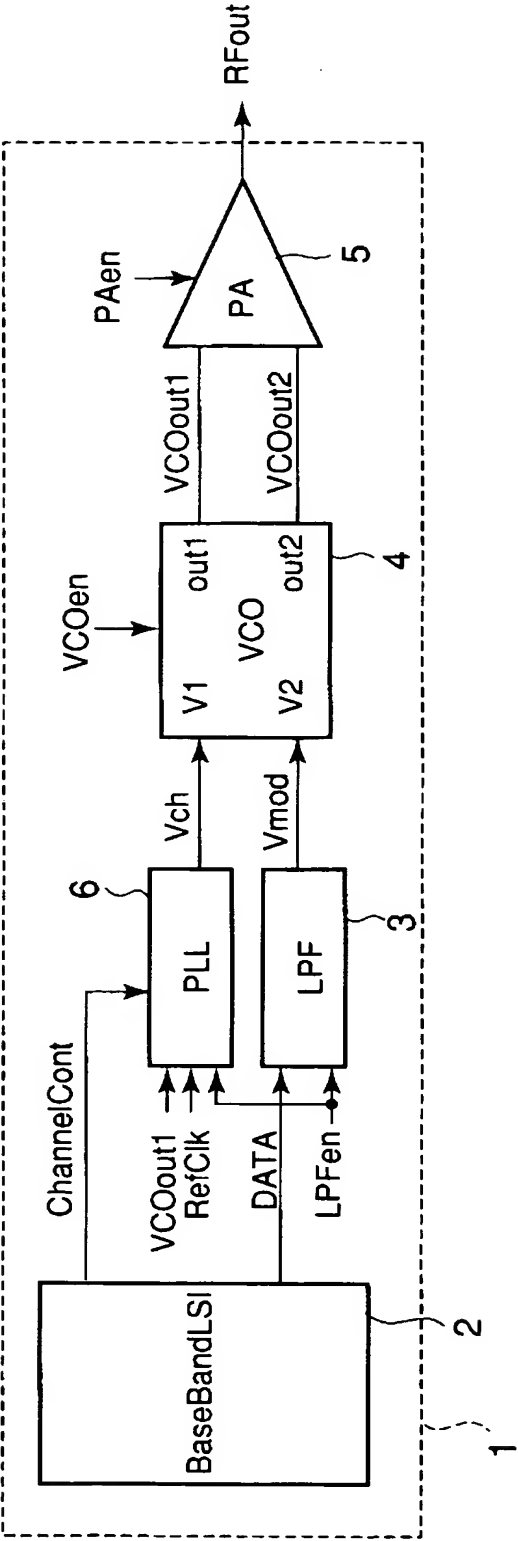
【図 34】



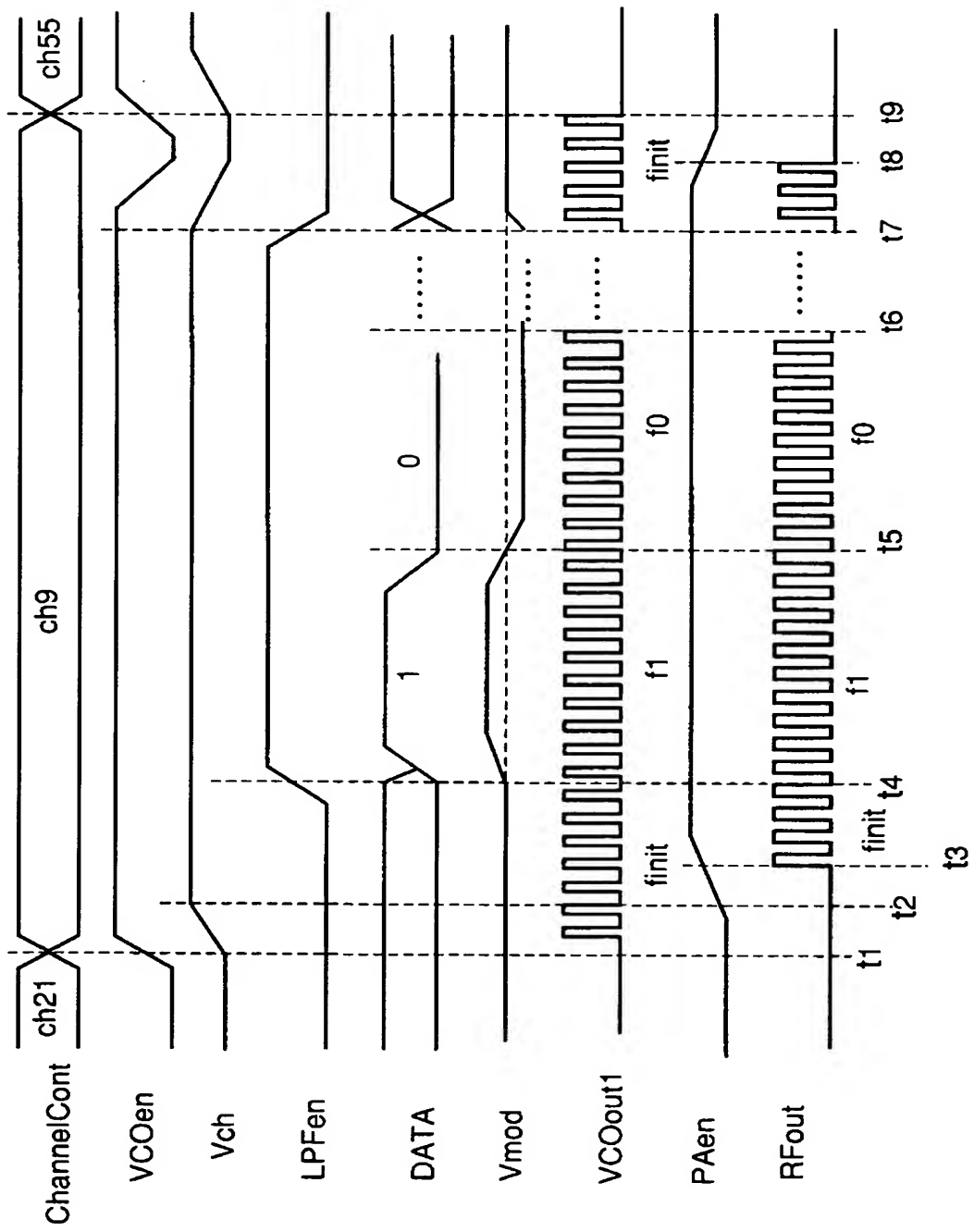
【図 35】



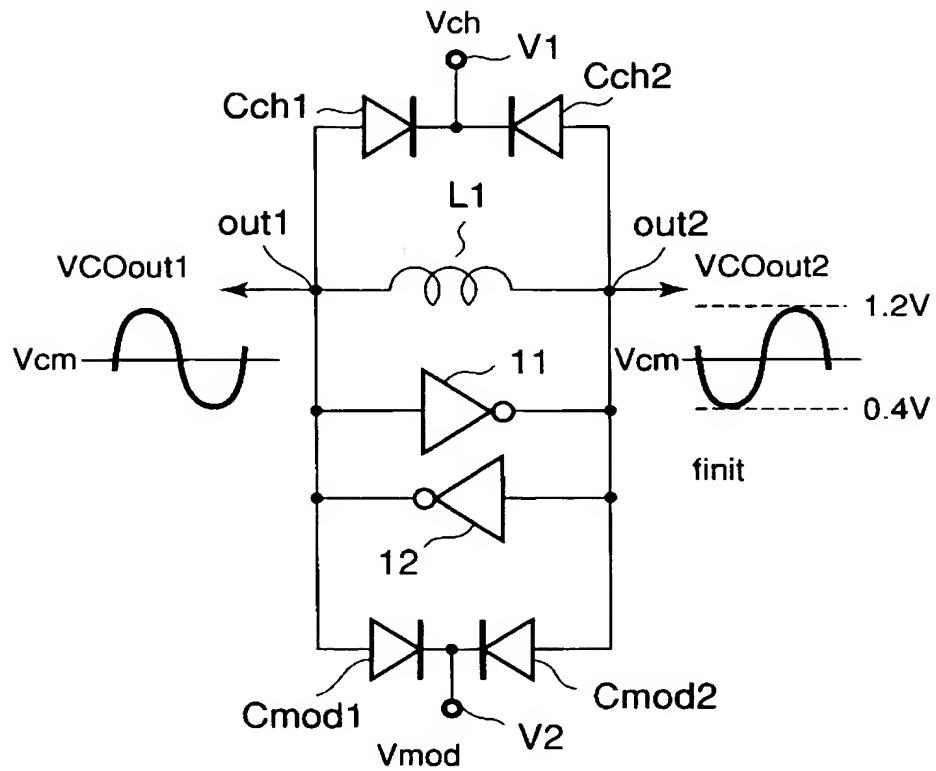
【図 36】



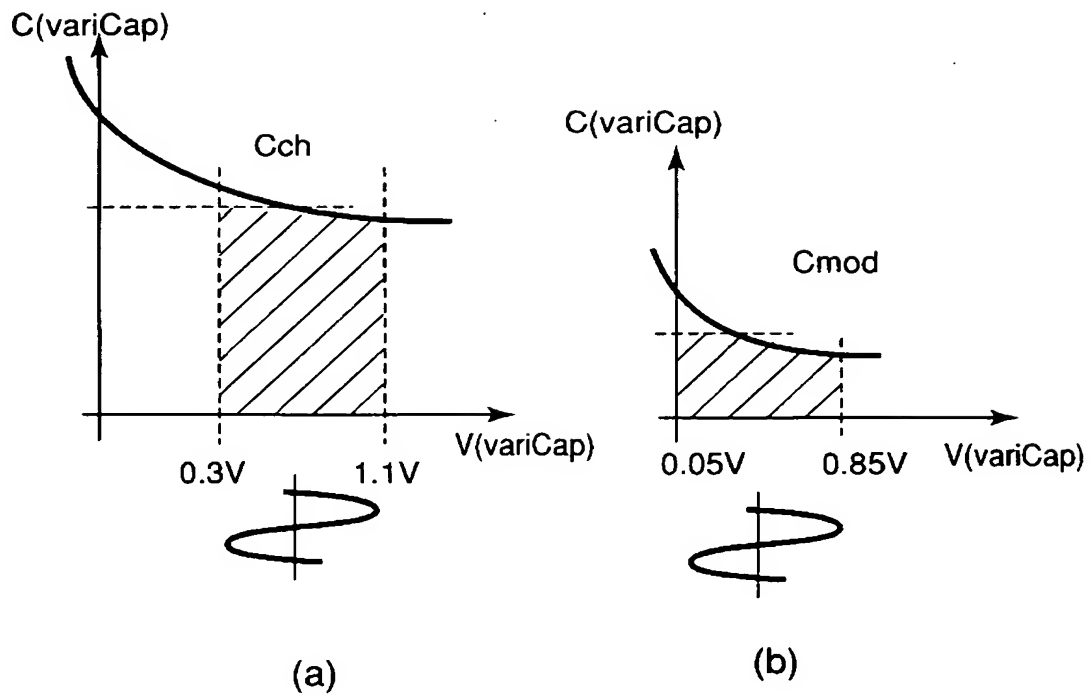
【図 37】



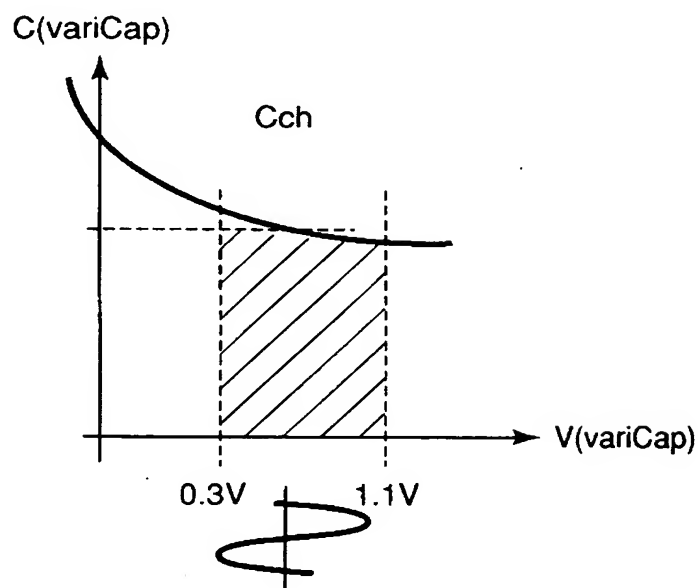
【図 38】



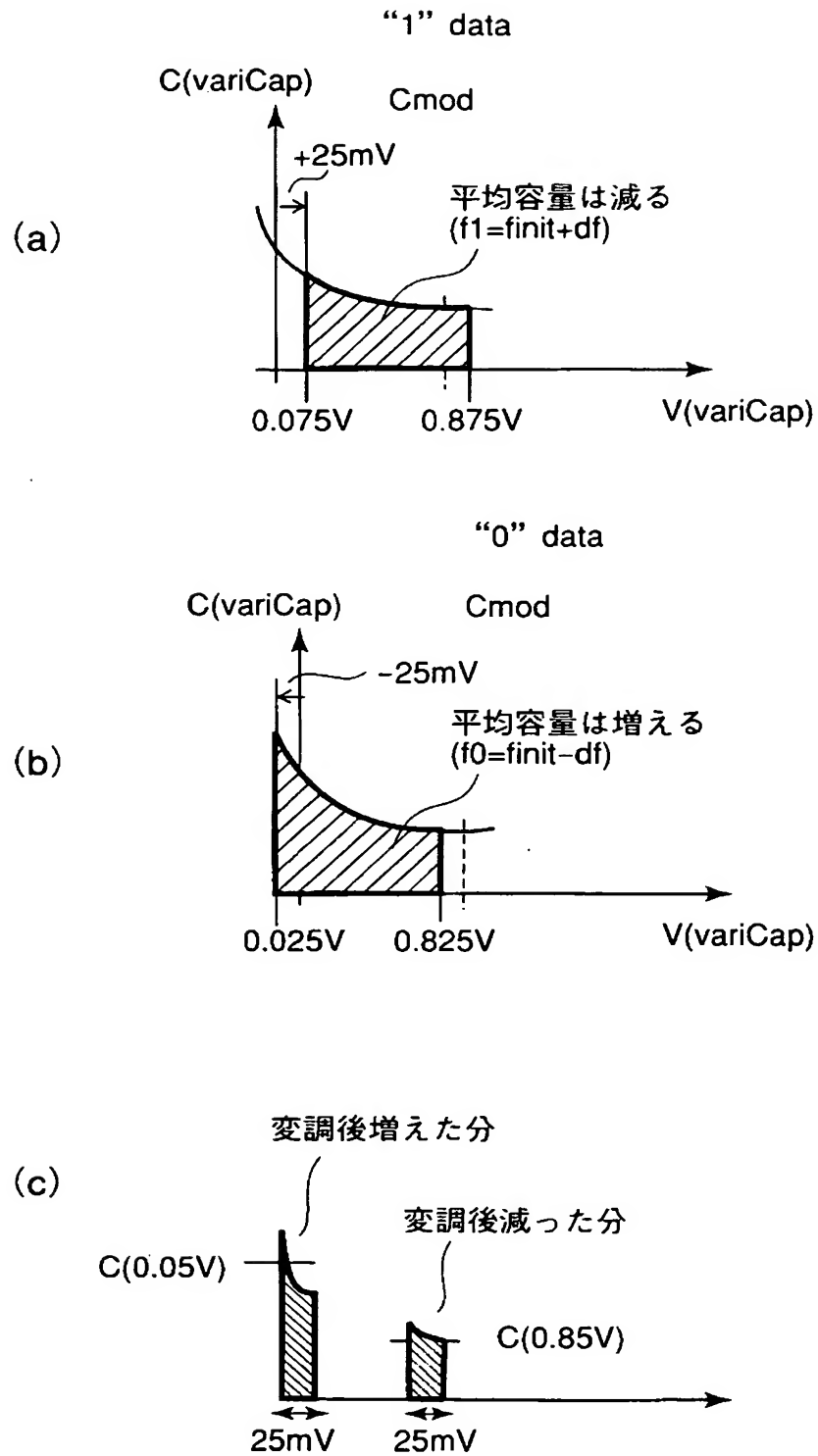
【図 39】



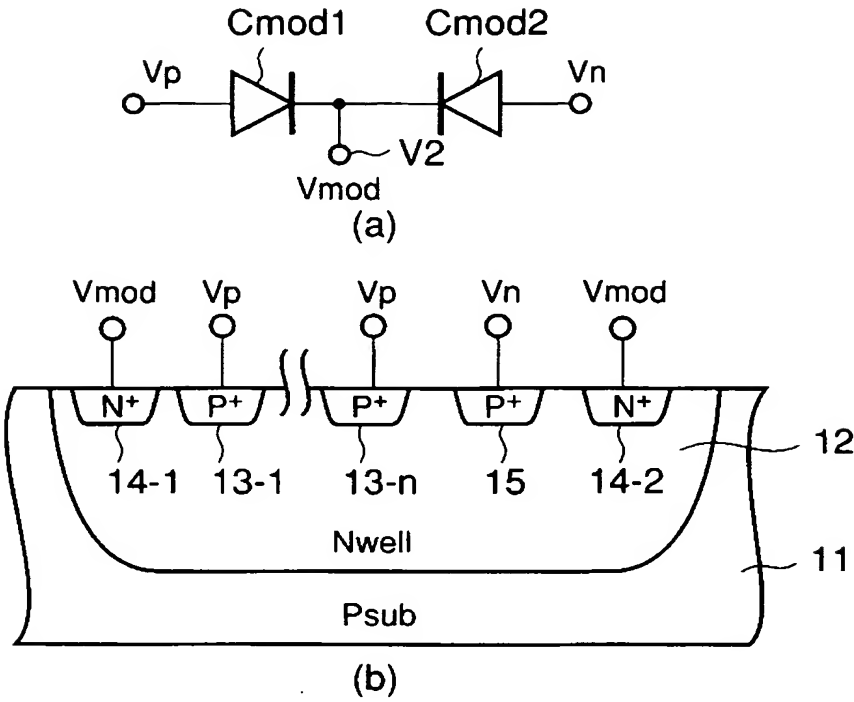
【図 40】



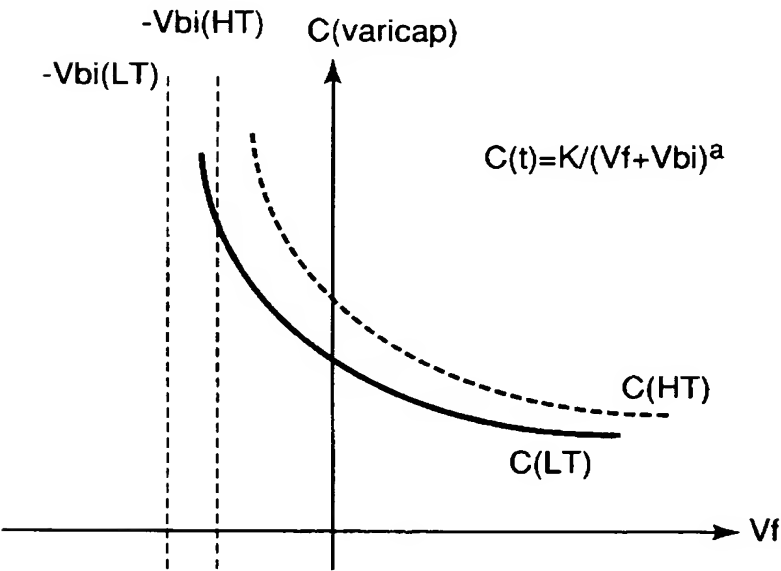
【図 4 1】



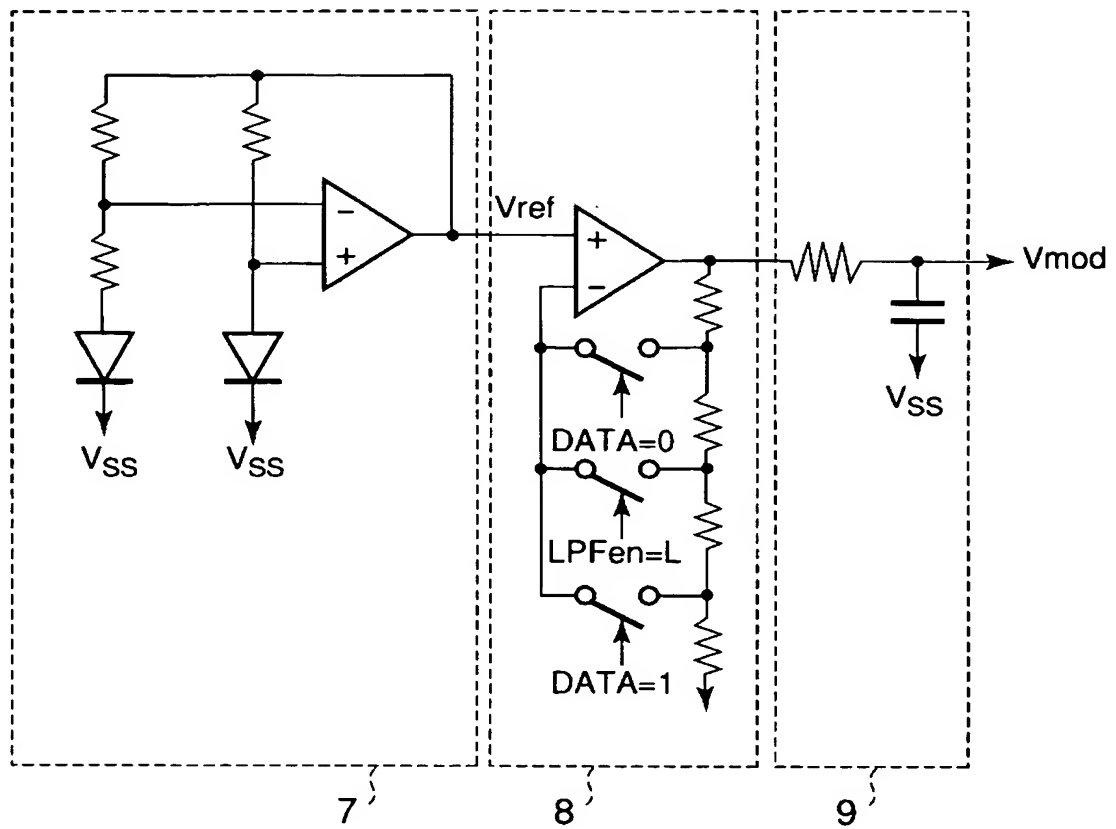
【図 4 2】



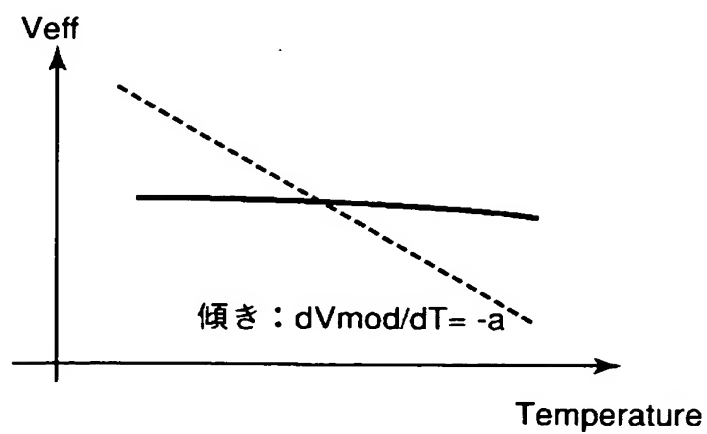
【図 4 3】



【図 4 4】



【図 4 5】



【書類名】 要約書**【要約】****【課題】**

変調周波数の温度変動に起因して発生する、隣接する通信チャネルに対するノイズを抑えることができる周波数直接変調装置を提供することを目的としている。

【解決手段】

フェイズ・ロックト・ループ 6 を介さずに、送信データ DATA に依存した電圧を電圧制御発振器 2 4 の制御端子 V 1 , V 2 に与えて周波数変調を行う周波数直接変調装置において、PLL ロック時の端子電圧とオープン後の変調電圧のそれぞれの温度依存性をバリキャップダイオードの温度依存性に合うように設定したことを特徴としている。変調指数の温度依存性を極めて小さくすることができ、隣接チャネルへのパワー漏洩を抑制することができるので、隣接する通信チャネルに対するノイズを抑えることができる。

【選択図】 図 1

特願 2 0 0 3 - 3 1 7 2 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝